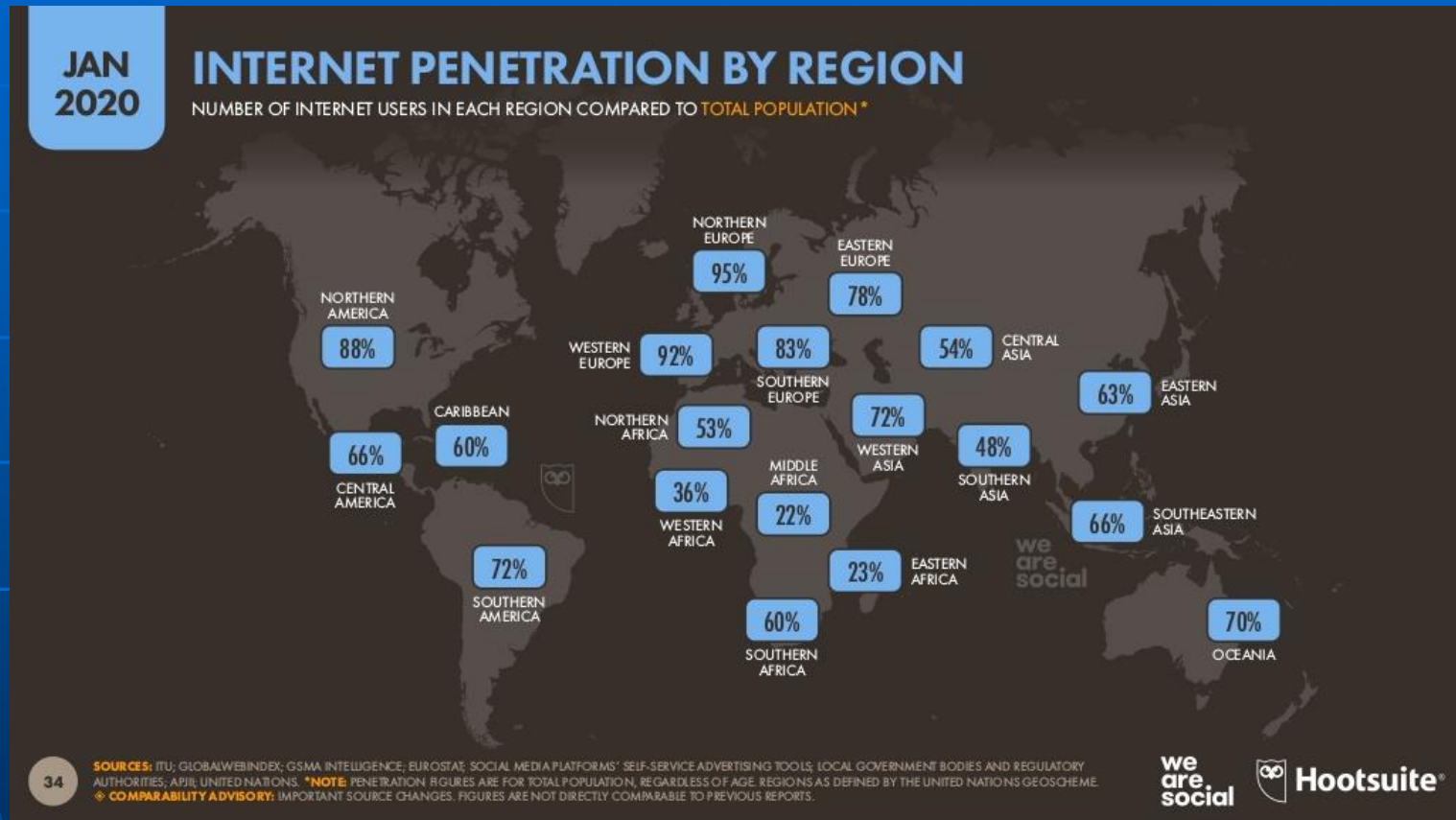


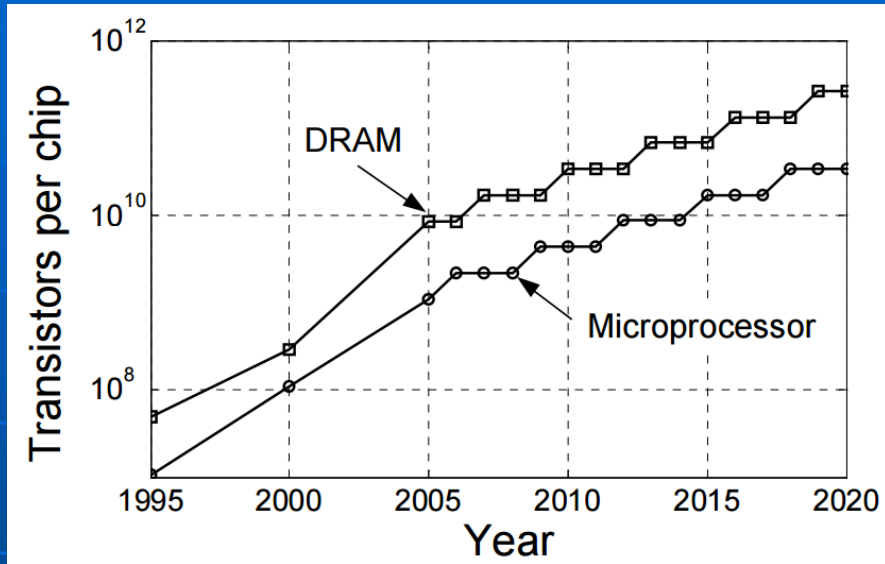
Familias Lógicas

Crecimiento del tráfico global del protocolo de internet



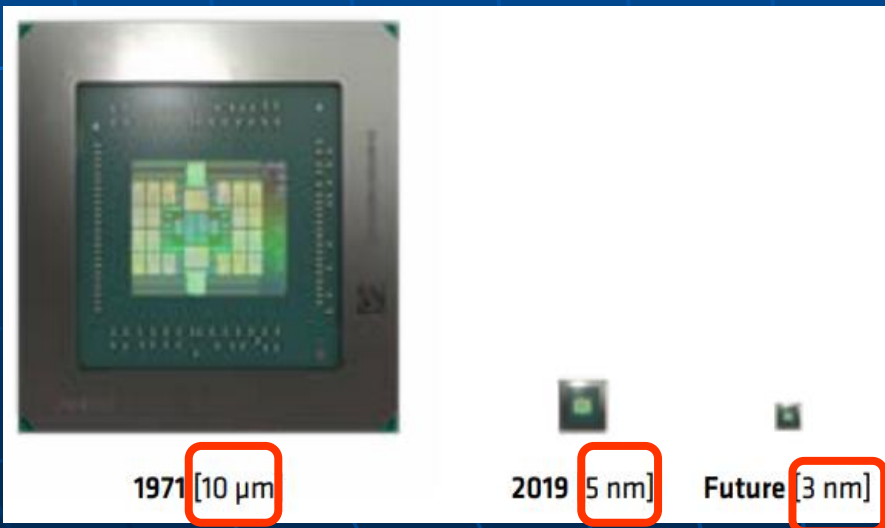
Necesidad de tecnologías que brinden mayor velocidad, portabilidad, menor consumo y mayor densidad de integración.

Evolución de la densidad de integración



La ley de Moore establece que se duplica por año la cantidad de transistores (Trs) por chip. Hasta el 2017 el estado del arte generaba transistores de 10 nm de longitud de canal, lo que permitía albergar en un chip a 4.000 millones de ellos.

Hoy se ha superado la barrera de los 7 nm. La FPGA Stratix 10 (2019) de Intel tiene tecnología de 14 nm y emplea 43.000 millones de Trs. AMD (2019) lanzó un micro de tecnología de 7nm y 12 nm con casi 40.000 millones de Trs. INTEL (Q4-2019) lo hizo con tecnología de 10 nm.



Tamaño comparativo de un mismo diseño pero con diferente tamaño de transistor.

Familias Lógicas

Las Familias Lógicas son tecnologías que permiten implementar las funciones tanto lógicas como matemáticas en el sistema binario.

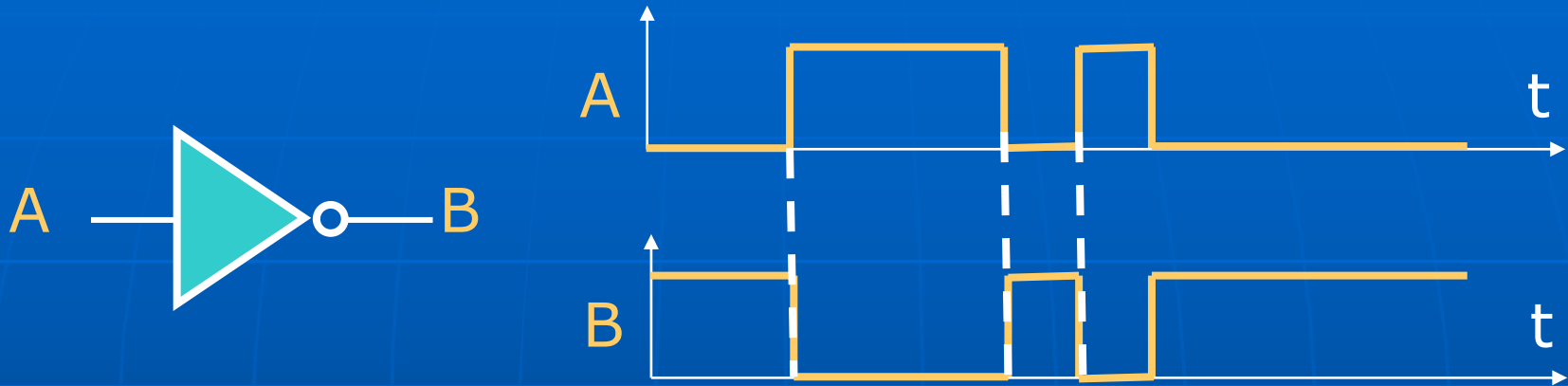
CLASIFICACIÓN:

Dependiendo de la tecnología empleada:

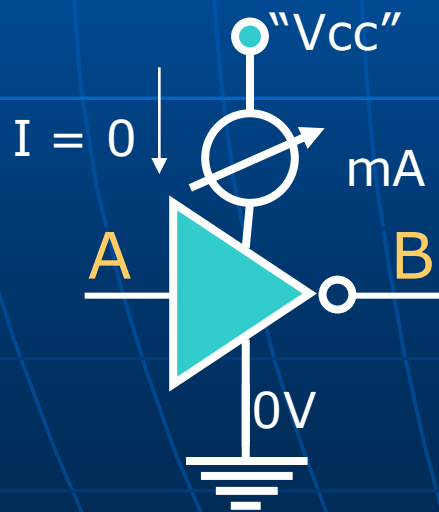


NOTA: Aquí, se tratarán los primeros 3 grupos.

Velocidad de respuesta infinita (retardos nulos)

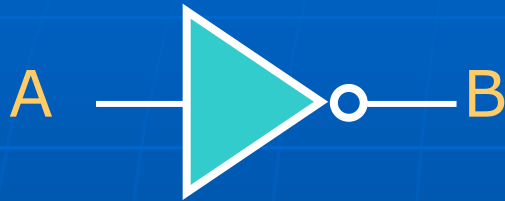


Consumo de energía nulo



Esto requiere que el dispositivo no consuma corriente de la fuente de alimentación. Además impone otra condición y es que si hay una carga conectada a la salida del mismo la misma debe ser infinita para no "pedirle" corriente al circuito.

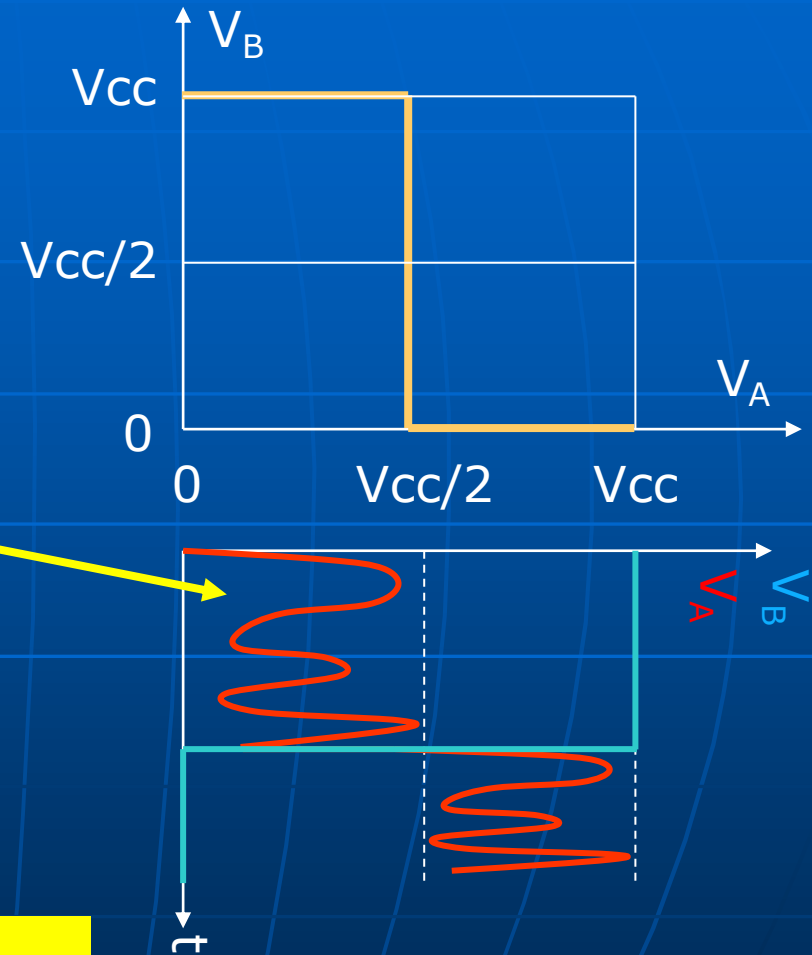
Inmunidad al ruido del 50% de la tensión de alimentación



Mientras la señal de entrada no supere los $V_{cc}/2$ Volts el inversor sigue reconociendo el "0" a su entrada.

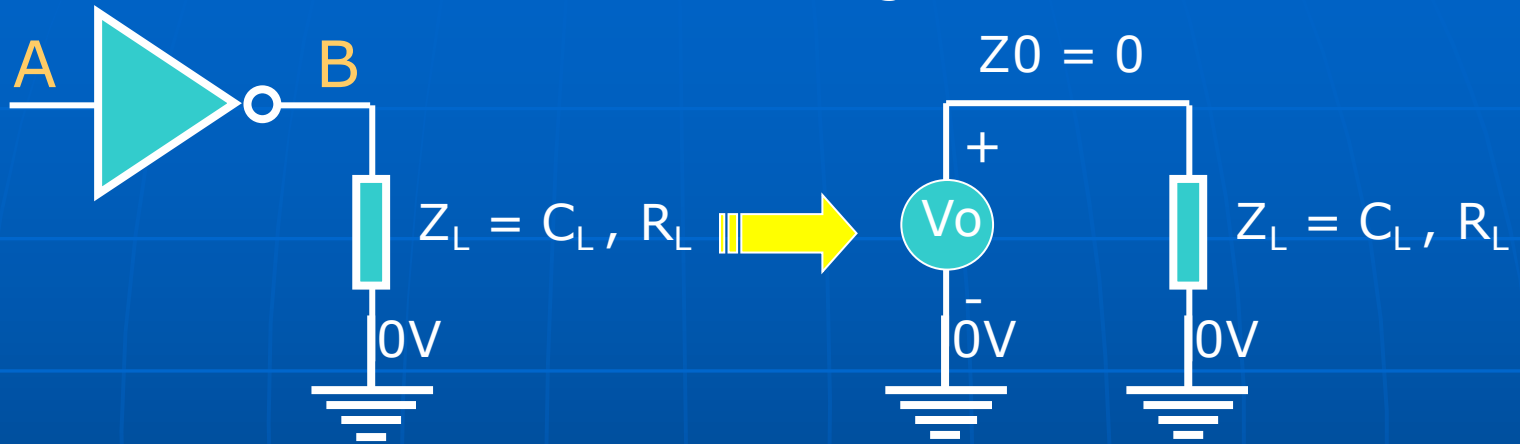
Lo mismo sucede para el "1". De esta manera se tiene un "Márgen de ruido" de $V_{cc}/2$ ó 50% para cada nivel lógico. Es el márgen máximo que se puede obtener.

NOTA: Aquí no se considera el concepto de Schmitt Trigger que se planteará luego.



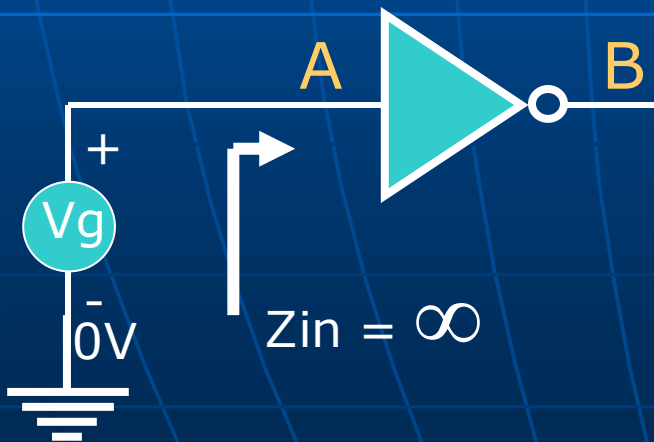
Capacidad de carga infinita:

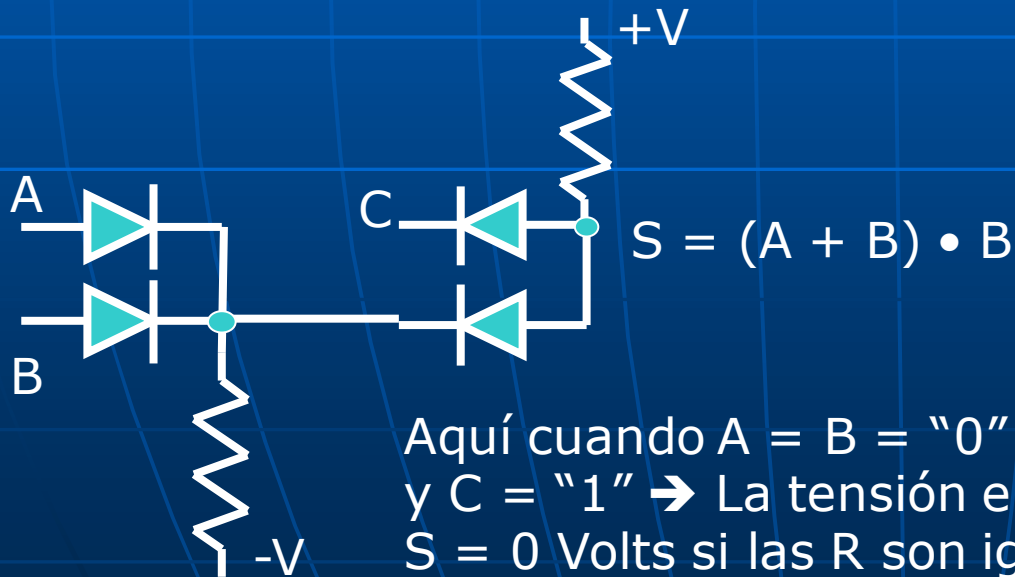
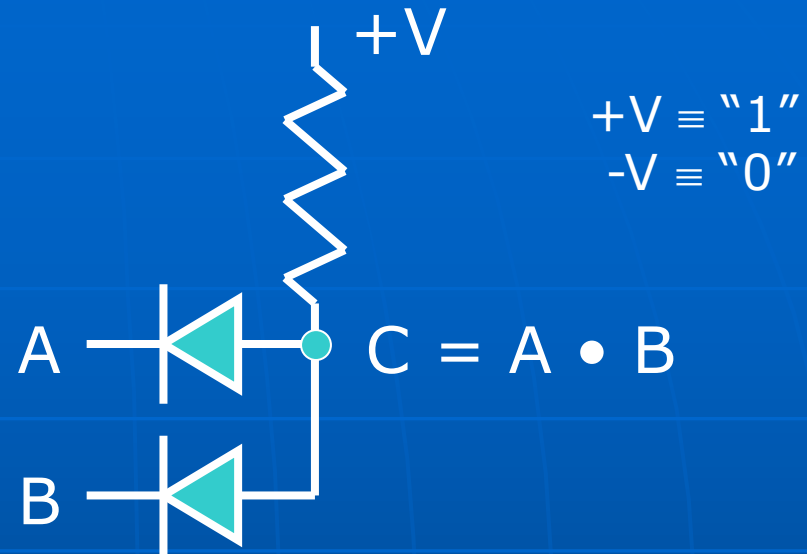
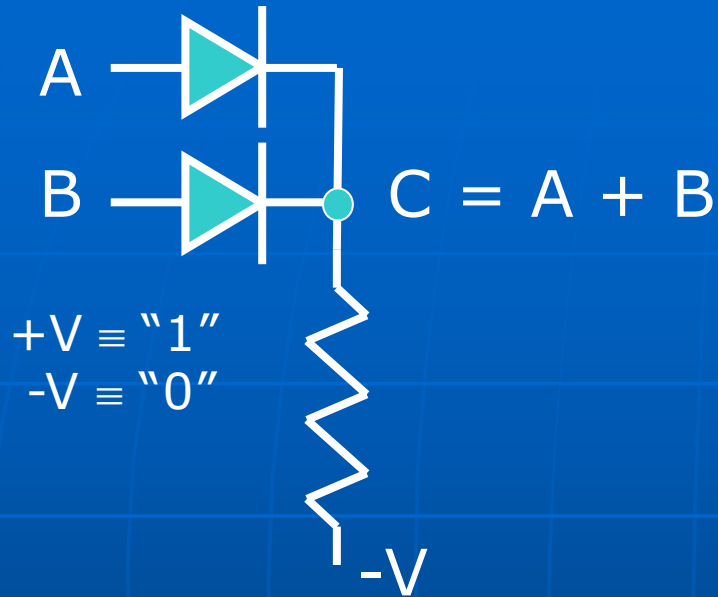
La tensión de salida no varía con la carga.



Impedancia de entrada infinita:

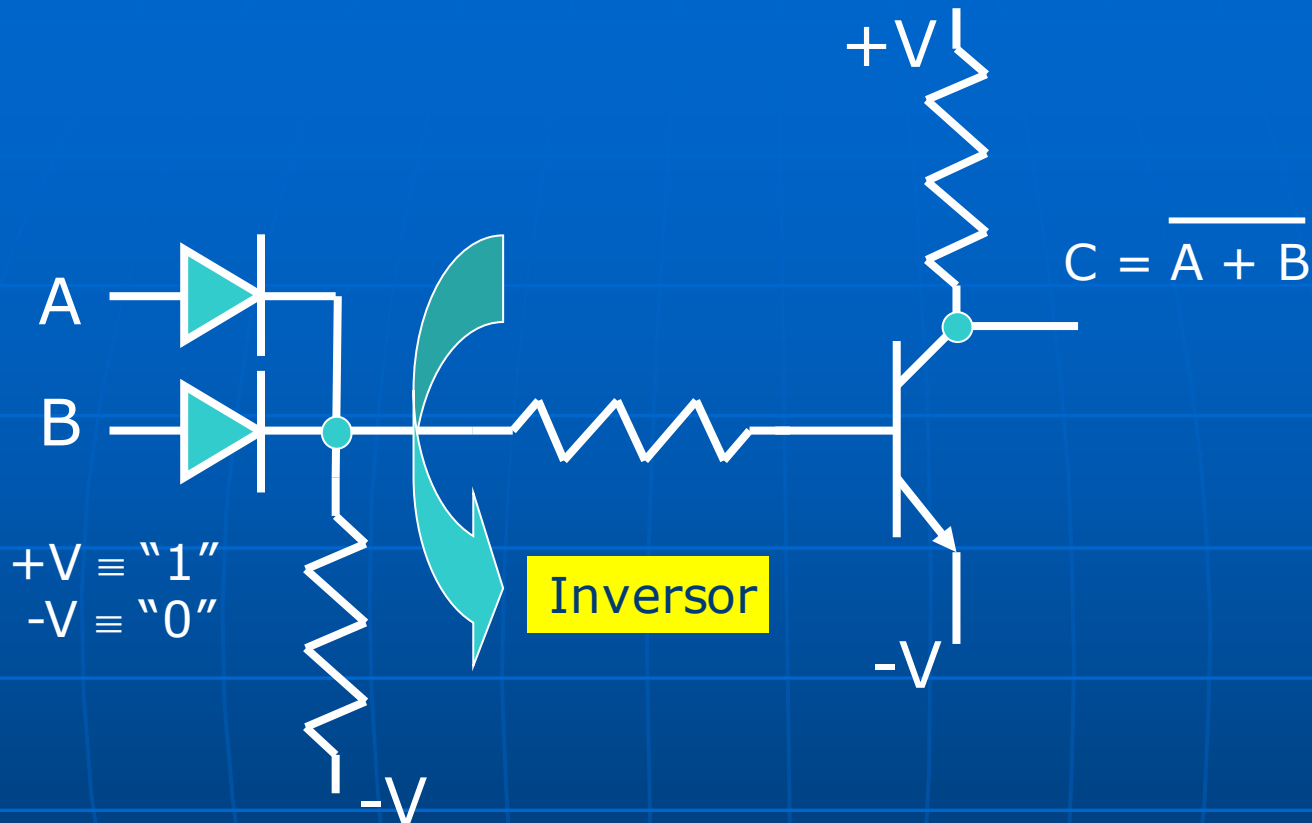
La impedancia de entrada al ser infinita no consume corriente de la fuente a la cual esté conectada.





Aquí cuando $A = B = "0"$
y $C = "1"$ → La tensión en
 $S = 0$ Volts si las R son iguales.

Esta lógica no permite
cascadas de compuertas
ni puede resolver
negaciones.
Necesita fuente partida
($+V$ y $-V$)



Esta lógica permite realizar negaciones → implementa cualquier función. Como hay ganancia de tensión permite cascada de compuertas. Problemas serios por tener un margen de ruido pequeño y retardos elevados. Además requiere fuente partida.

PRÓXIMO PASO → LÓGICA TRANSISTOR-TRANSISTOR (TTL)

Lógica TTL

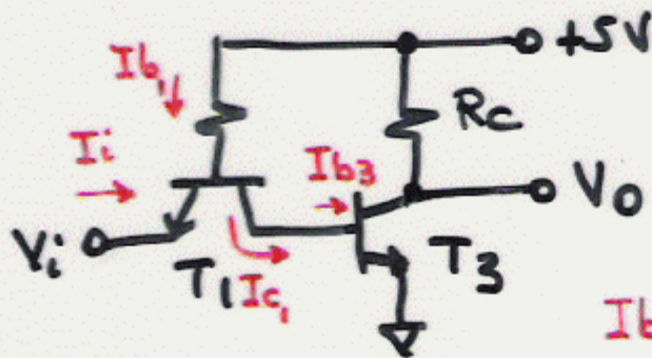
Evolución

**serie 74, serie 74L, serie 74S (Schottky),
serie 74LS (Schottky de bajo consumo),
serie 74ALS, 74F,
versiones de baja tensión de alimentación.**

La lógica TTL (Transistor Transistor Logic) se instauró en la década del 70 como la más competitiva respecto a CMOS y ECL dado que presentaba la mejor relación velocidad-consumo. La primera versión fué la denominada 74, 74L y 74S (por utilizar transistores Schottky). La última versión fué la serie 74LS que generó 3 subfamilias: 74LS, 74ALS y 74F.

Si bien aparecieron versiones de baja tensión de alimentación, TTL fué superada tecnológicamente por CMOS, debido a que la segunda logró evolucionar obteniendo mayor velocidad, densidad de integración, margen de ruido y menor consumo que TTL.

INVERSOR



1) $V_i = H$

T_1 modo inverso
 $E \rightarrow C, C \rightarrow E$

$$I_i = \alpha_i I_{b3} \rightarrow I_{b1} \approx I_{b3}$$

$\bar{I}$ muy bajo (0.02)
para sat. a T_3
con I_i chica.

2) $V_i = L \rightarrow V_{BE1}$ directa $\approx 0.75V$
 $\rightarrow V_{CE1}$ SATURADO $\rightarrow T_3$ OFF

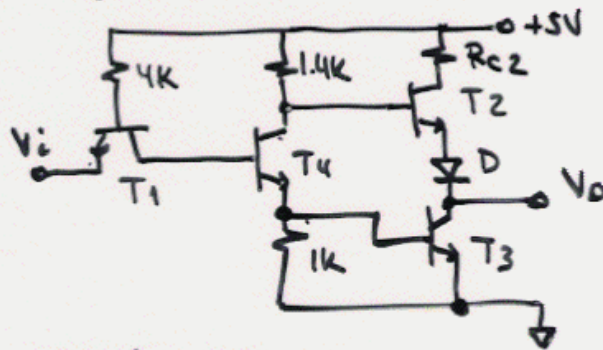
$$V_{CE SAT} \approx 0.2V.$$

Desventaja: R_c alta $\rightarrow$ gran retardo.
 R_c baja $\rightarrow$ gran consumo.

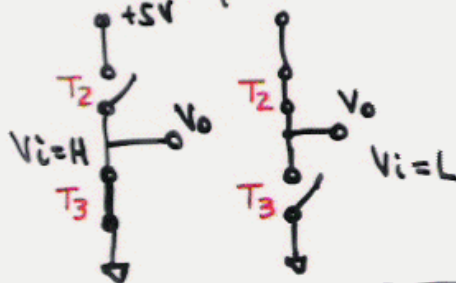
Este tipo de configuración permite:

- > Trabajar con fuente simple (+5V).
- > Consumir poca corriente a la entrada (alta impedancia de entrada).
- > Problemas con retardos ya que R_c debe ser pequeña y eso implica gran consumo.

Arreglo TOTEM - POLE :



Etapas de salida eq :



1) $V_i = H$
 T_1 modo inverso $\rightarrow$
 T_4 SAT $\rightarrow$ T_3 SAT
 $\rightarrow$ T_2 OFF

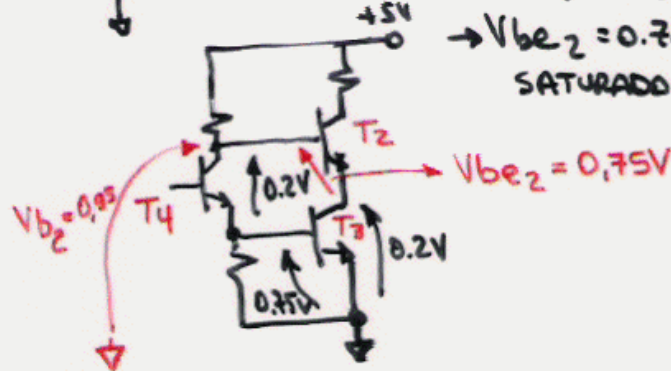
2) $V_i = L$
 T_1 SAT $\rightarrow$
 T_4 OFF $\rightarrow$ T_2 SAT
 $\rightarrow$ T_3 OFF

Función del diodo D :

$V_o = L \rightarrow T_4 = T_3 = \text{SAT.}$

$\Rightarrow V_{ce4} = V_{ce3} = 0,20V$

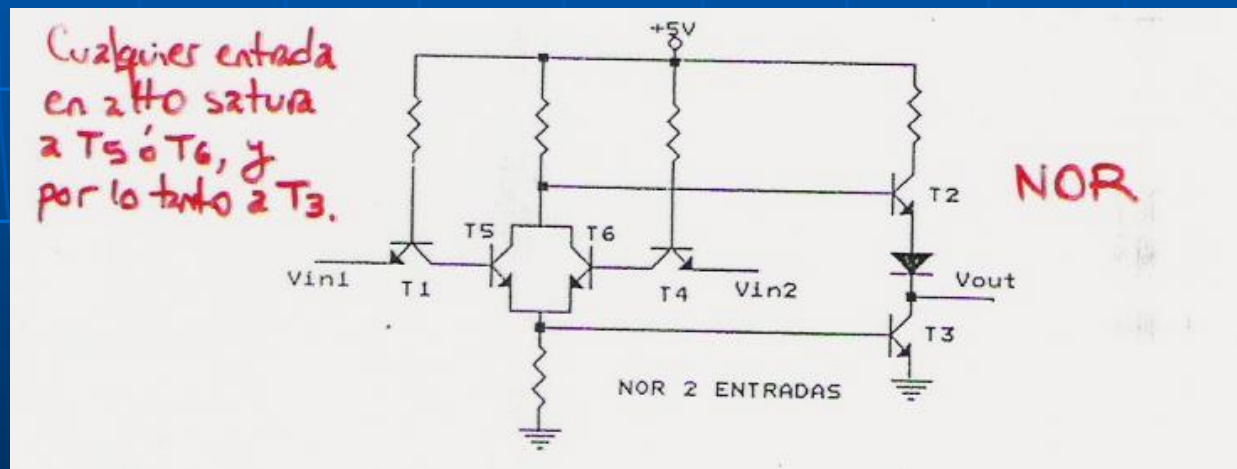
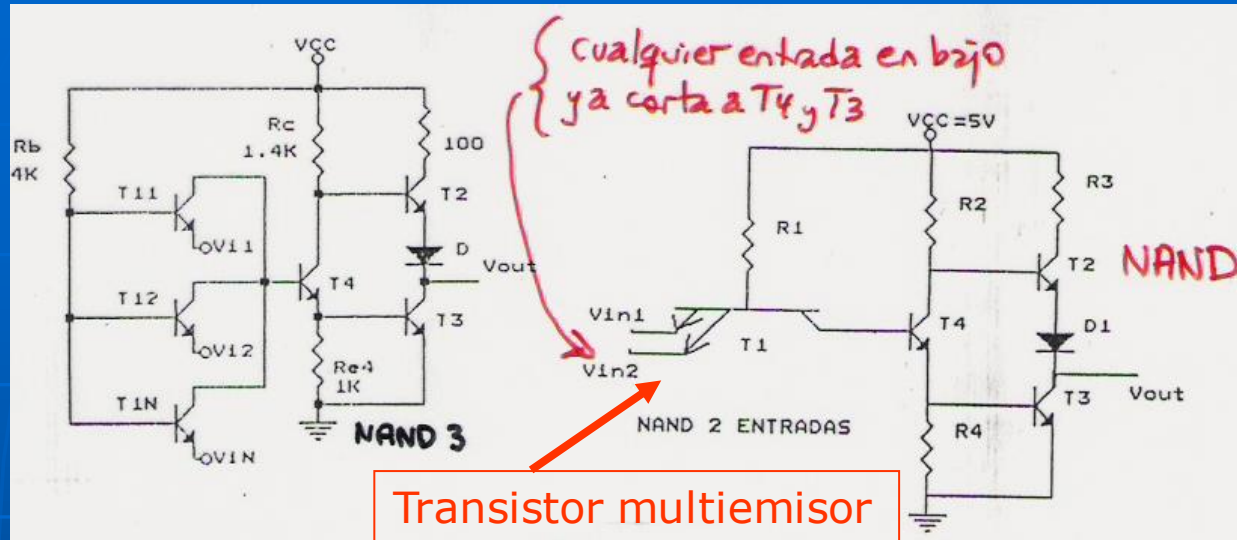
$\rightarrow V_{be2} = 0,75V$
 SATURADO !!



El circuito anterior se mejora en la etapa de salida.

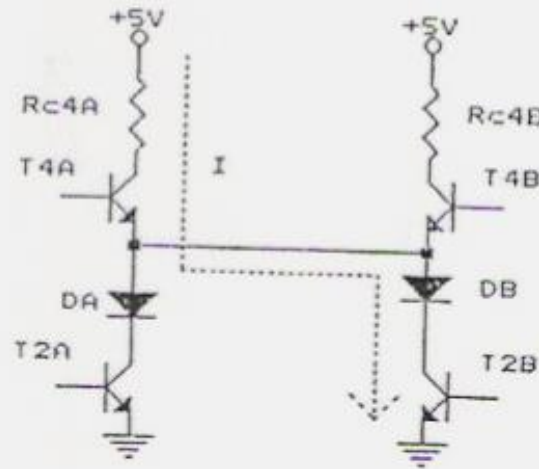
T2 y T3 actúan como llaves que se abren y cierran en contrafase.

El diodo evita que se sature T2 junto con T3 (T2 debe estar cortado con V_{iH} (en alto)). Con la inclusión de D, se necesitarían 0,6V adicionales para hacer conducir a T2 en esas condiciones.



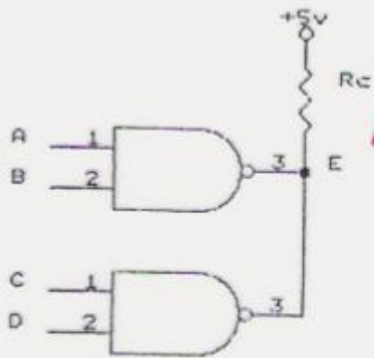
Por la tecnología empleada, las AND y OR se implementan negando a las NAND y NOR, respectivamente. Por lo tanto las primeras tienen mayor tiempo de retardo.

Porqué se
necesitan
salidas
OPEN COLLECTOR
???

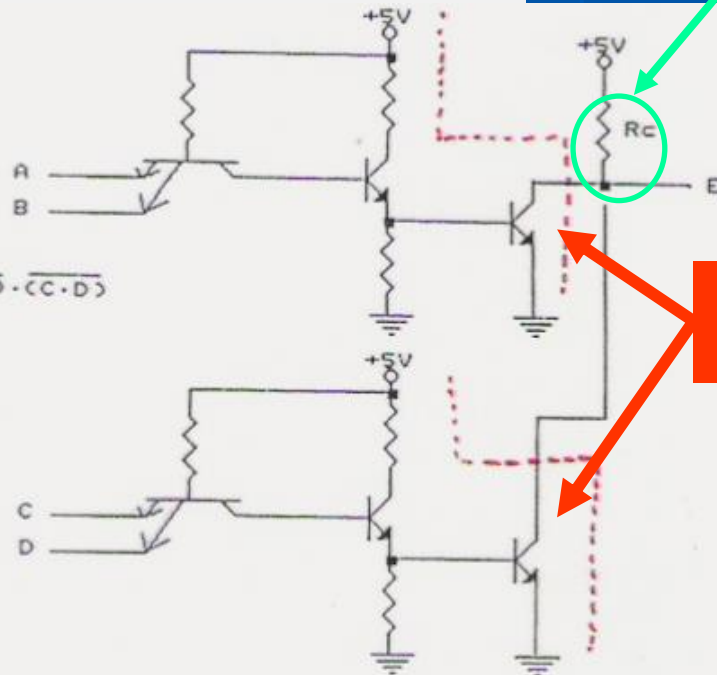


Si se unen salidas TTL y por ejemplo la salida de la compuerta A está en H y la de B en L, circularía una I muy grande que puede dañar al transistor T4 de A. Por ende si se requiere unir salidas se deben emplear CIs con salida OPEN COLLECTOR.

Función AND



$$E = \overline{(A \cdot B)} \cdot \overline{(C \cdot D)}$$

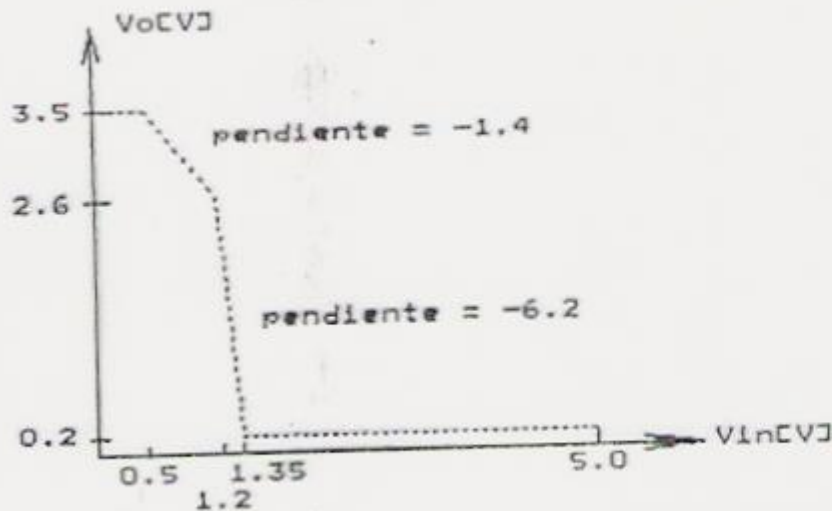


R externa

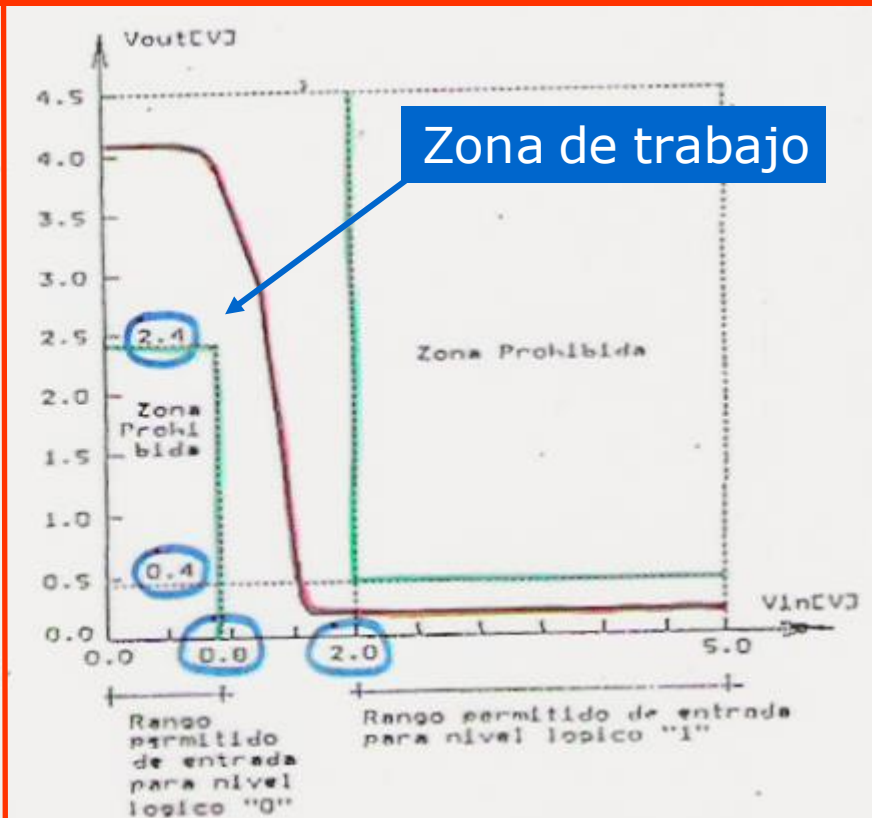
Salidas con transistores con colector abierto

Función de transferencia idealizada de un inversor TTL

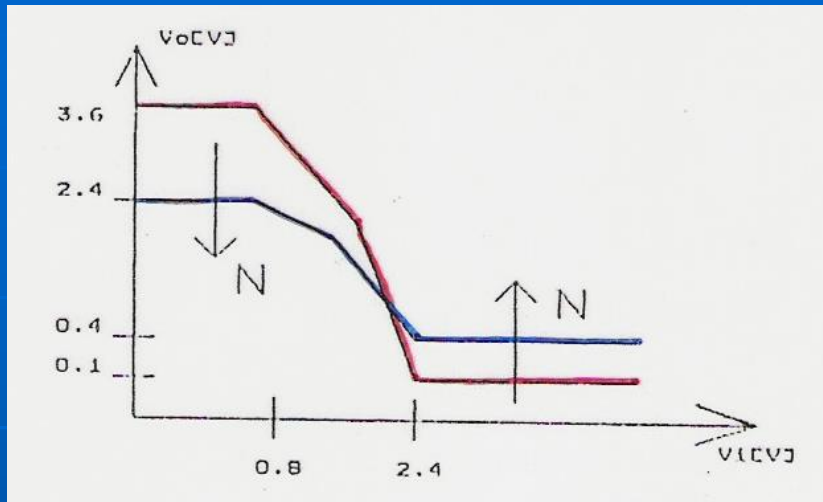
La transición de estado no ocurre en 2,5 V (mitad de V_{cc}) sino en aproximadamente 1,2 V, lejos de lo ideal.



Función de transferencia típica de un inversor con rangos de funcionamiento garantizados por el fabricante



La gráfica de la derecha indica que se permite que una salida TTL puede en estado alto bajar hasta 2,4 V sin salir de especificación, lo mismo que en estado bajo puede subir hasta 0,4 V. Respecto a su entrada reconocerá un estado alto hasta una tensión de 2 V y un nivel bajo hasta 0,8 V. Si se cumple todo esto la compuerta reconocerá correctamente los dos niveles lógicos.



Efecto de incrementar la carga a la salida de una compuerta "1": La tensión en nivel L de la salida irá creciendo a medida que aumenta la corriente de carga.

Lo contrario pasa en el nivel H (va bajando). El resultado es una degradación del margen de ruido. En estado alto (H) a medida que se suman entradas la tensión V_{OH} va a ir bajando.

Lo contrario en bajo, la tensión de salida V_{OL} irá subiendo.

Bajo ningún concepto deberá llegar a los valores límites (2,4 V en H ó 0,8 V en L), caso contrario es posible que las compuertas "2" y "3" interpreten mal el nivel lógico.

Se definen valores normalizados de corriente de entrada para cada nivel lógico: $I_{IHmax}=40 \mu A$ e $I_{ILmax}=1,6mA$.

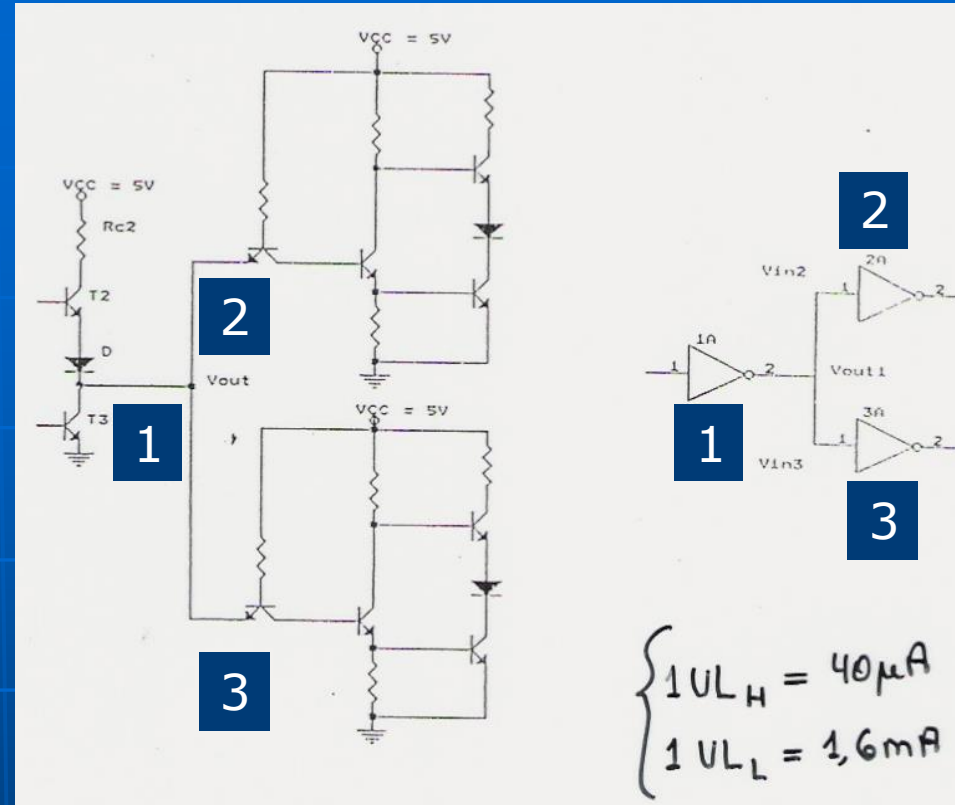
Se establece que idealmente cada compuerta puede soportar 10 del mismo tipo a su entrada sin salir de especificación, es decir que podrá entregar $I_{OHmax}=400\mu A$ e $I_{OLmax}=16mA$.

$$\frac{I_{OHmax}}{I_{OInorm}} = \frac{400\mu A}{40\mu A} = 10U.L$$

$$\frac{I_{OLmax}}{I_{OLnorm}} = \frac{8,0mA}{1,6mA} = 5U.L$$

$$\frac{I_{IHmax}}{I_{IHnorm}} = \frac{20\mu A}{40\mu A} = 0,5U.L$$

$$\frac{I_{ILmax}}{I_{ILnorm}} = \frac{0,4mA}{1,6mA} = 0,25U.L$$



$$\begin{cases} 1U_{LH} = 40\mu A \\ 1U_{LL} = 1,6mA \end{cases}$$

Familias Lógicas

En el ejemplo hay 3 inversores:
El "1" es cargado por las
entradas de "2" y "3".

Para saber si "1" cumple con los
niveles de tensión en H y L, se
debe leer la hoja de datos y en
base a los valores máximos de I_i
e I_o para cada nivel, hacer la
suma y verificar que tanto
en H como en L no se exceda de
la máxima corriente de salida
requerida por la compuerta "1".

De la hoja de datos se desprende que:
 $I_{imaxH}=20\mu A$ e $I_{iLmax}=-0,36mA$
(negativo porque la corriente sale de
del pin de entrada).
 $I_{oHmax}=-0,4mA$ e $I_{oLmax}=8mA$.

Como son 2 compuertas e iguales
en este caso:

$I_{iLtotal}=-0,72mA < I_{oLmax}=8mA$
 $I_{iHtotal}=40\mu A < I_{oHmax}=-0,4mA$

En este caso el inversor "1" puede
alimentar a ambos inversores.

Peor caso en H: $0,4mA/20\mu A=20$ inversores.

Peor caso en L: $8mA/0,36mA=22$ inversores.

DM74LS04

Absolute Maximum Ratings^(Note 1)

Supply Voltage	7V
Input Voltage	7V
Operating Free Air Temperature Range	0°C to +70°C
Storage Temperature Range	-65°C to +150°C

Note 1: The "Absolute Maximum Ratings" are those values beyond which the safety of the device cannot be guaranteed. The device should not be operated at these limits. The parametric values defined in the Electrical Characteristics tables are not guaranteed at the absolute maximum ratings. The "Recommended Operating Conditions" table will define the conditions for actual device operation.

Recommended Operating Conditions

Symbol	Parameter	Min	Nom	Max	Units
V_{CC}	Supply Voltage	4.75	5	5.25	V
V_{IH}	HIGH Level Input Voltage	2			V
V_{IL}	LOW Level Input Voltage			0.8	V
I_{OH}	HIGH Level Output Current			-0.4	mA
I_{OL}	LOW Level Output Current			8	mA
T_A	Free Air Operating Temperature	0		70	°C

Electrical Characteristics

over recommended operating free air temperature range (unless otherwise noted)

Symbol	Parameter	Conditions	Min	Typ (Note 2)	Max	Units
V_I	Input Clamp Voltage	$V_{CC} = \text{Min}, I_I = -18 \text{ mA}$			-1.5	V
V_{OH}	HIGH Level Output Voltage	$V_{CC} = \text{Min}, I_{OH} = \text{Max},$ $V_{IL} = \text{Max}$	2.7	3.4		V
V_{OL}	LOW Level Output Voltage	$V_{CC} = \text{Min}, I_{OL} = \text{Max},$ $V_{IH} = \text{Min}$		0.35	0.5	V
		$I_{OL} = 4 \text{ mA}, V_{CC} = \text{Min}$		0.25	0.4	
I_I	Input Current @ Max Input Voltage	$V_{CC} = \text{Max}, V_I = 7V$			0.1	mA
I_{IH}	HIGH Level Input Current	$V_{CC} = \text{Max}, V_I = 2.7V$			20	μA
I_{IL}	LOW Level Input Current	$V_{CC} = \text{Max}, V_I = 0.4V$			-0.36	mA
I_{OS}	Short Circuit Output Current	$V_{CC} = \text{Max}$ (Note 3)	-20		-100	mA
I_{CCH}	Supply Current with Outputs HIGH	$V_{CC} = \text{Max}$		1.2	2.4	mA
I_{CCL}	Supply Current with Outputs LOW	$V_{CC} = \text{Max}$		3.6	6.6	mA

Note 2: All typicals are at $V_{CC} = 5V, T_A = 25^\circ C$.

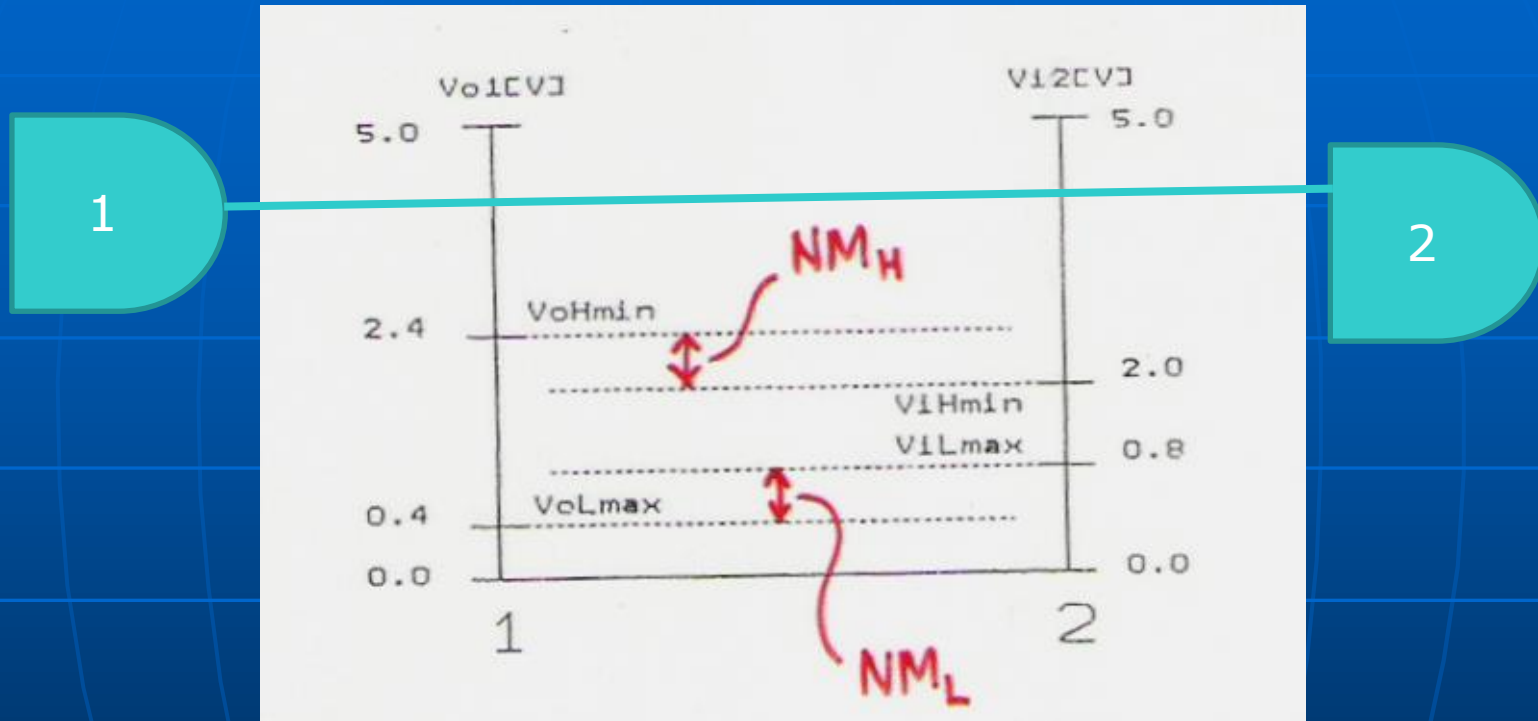
Note 3: Not more than one output should be shorted at a time, and the duration should not exceed one second.

El límite real es la peor condición:
FAn Out = 20 compuertas

Márgen de ruido en nivel alto y bajo

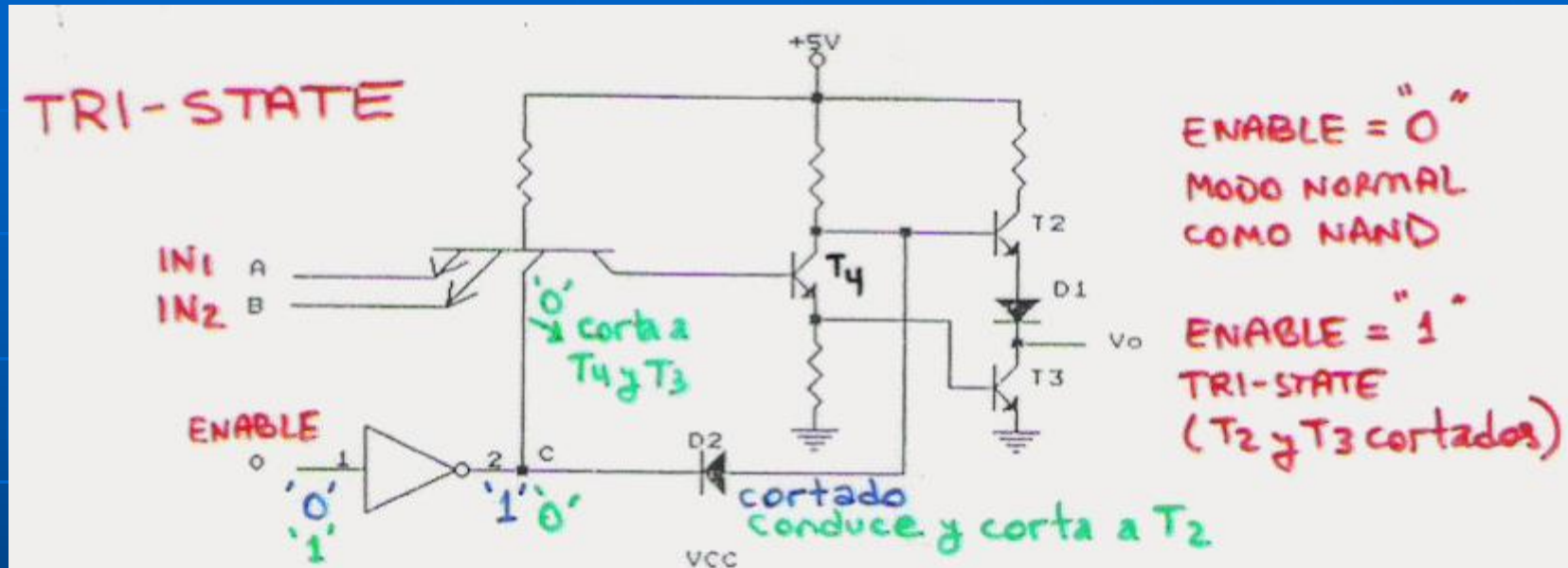
Salida de compuerta 1

Entrada de compuerta 2



Si se cumplen las condiciones estipuladas de niveles de entrada y salida entre la salida de una compuerta y las entradas de otras conectadas a la misma, existirá un márgen de tensiones tanto en H y L que en TTL es de alrededor de 400mV para que se llegue a caso crítico de error al querer reconocer un dado nivel lógico. se denominan Márgen de Ruido en nivel bajo: NM_L y Márgen de Ruido en el nivel alto: NM_H .

Lógica de tercer estado (tri-state)



Su función es de gran utilidad en los circuitos de interconexión entre un microprocesador con periféricos ya que estos últimos deben compartir el mismo bus de datos del micro y sólo uno debe estar activo en un dado momento.

Familia TTL serie 74LS Características Generales

General Characteristics for Schottky TTL Logic (All Maximum Ratings)

Characteristic	Symbol	74LSxxx	Unit
Operating Voltage Range	V_{CC}	$5 \pm 5\%$	Vdc
Operating Temperature Range	T_A	0 to 70	°C
Input Current	I_{IH}	20	μA
	I_{IL}	-400	
Output Drive Standard Output	I_{OH}	-0.4	mA
	I_{OL}	8.0	mA
	I_{SC}	-20 to -100	mA
Buffer Output	I_{OH}	-15	mA
	I_{OL}	24	mA
	I_{SC}	-40 to -225	mA

Speed/Power Characteristics for Schottky TTL Logic⁽¹⁾ (All Typical Ratings)

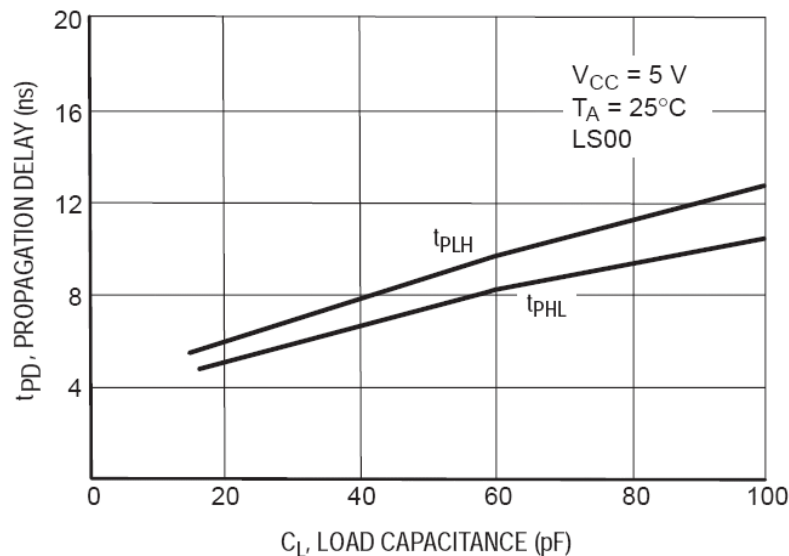
Characteristic	Symbol	Typ	Unit
Quiescent Supply Current/Gate	I_G	0.4	mA
Power/Gate (Quiescent)	P_G	2.0	mW
Propagation Delay	t_p	9.0	ns
Speed Power Product	—	18	pJ
Clock Frequency (D-F/F)	f_{max}	33	MHz
Clock Frequency (Counter)	f_{max}	40	MHz

NOTES: 1. Specifications are shown for the following conditions:

- a) $V_{CC} = 5.0$ Vdc (AC),
- b) $T_A = 25^\circ C$,
- c) $C_L = 15$ pF.

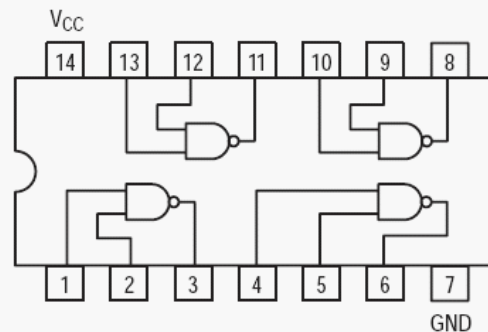
Fan out H = $400\mu A / 20\mu A = 20$
Fan out L = $8mA / 0.4mA = 20$

Familia TTL serie 74LS Retardo de propagación vs. Capacidad de carga

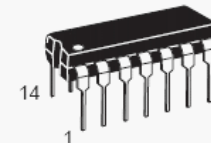


SN74LS00**Quad 2-Input NAND Gate**

- ESD > 3500 Volts

**GUARANTEED OPERATING RANGES**

Symbol	Parameter	Min	Typ	Max	Unit
V_{CC}	Supply Voltage	4.75	5.0	5.25	V
T_A	Operating Ambient Temperature Range	0	25	70	°C
I_{OH}	Output Current – High			-0.4	mA
I_{OL}	Output Current – Low			8.0	mA



PLASTIC
N SUFFIX
CASE 646

AC CHARACTERISTICS ($T_A = 25^\circ\text{C}$)

Symbol	Parameter	Limits			Unit	Test Conditions
		Min	Typ	Max		
t_{PLH}	Turn-Off Delay, Input to Output		9.0	15	ns	$V_{CC} = 5.0\text{ V}$ $C_L = 15\text{ pF}$
t_{PHL}	Turn-On Delay, Input to Output		10	15	ns	

**ON Semiconductor**

Formerly a Division of Motorola

<http://onsemi.com>

LOW
POWER
SCHOTTKY

SN74LS74A

Dual D-Type Positive
Edge-Triggered Flip-Flop

AC CHARACTERISTICS (T_A = 25°C, V_{CC} = 5.0 V)

Symbol	Parameter	Limits			Unit	Test Conditions	
		Min	Typ	Max			
f _{MAX}	Maximum Clock Frequency	25	33		MHz	Figure 1	V _{CC} = 5.0 V C _L = 15 pF
t _{PLH} t _{PHL}	Clock, Clear, Set to Output		13	25	ns	Figure 1	
			25	40	ns		

AC SETUP REQUIREMENTS (T_A = 25°C)

Symbol	Parameter	Limits			Unit	Test Conditions	
		Min	Typ	Max			
t _{W(H)}	Clock	25			ns	Figure 1	V _{CC} = 5.0 V
t _{W(L)}	Clear, Set	25			ns	Figure 2	
t _s	Data Setup Time — HIGH LOW	20			ns	Figure 1	
		20			ns		
t _h	Hold Time	5.0			ns	Figure 1	

CONTADORES BCD Y BINARIO SN74LS161A SN74LS163A

AC CHARACTERISTICS (T_A = 25°C)

Symbol	Parameter	Limits			Unit	Test Conditions
		Min	Typ	Max		
f _{MAX}	Maximum Clock Frequency	25	32		MHz	V _{CC} = 5.0 V C _L = 15 pF
t _{PLH} t _{PHL}	Propagation Delay Clock to TC		20 18	35 35	ns	
t _{PLH} t _{PHL}	Propagation Delay Clock to Q		13 18	24 27	ns	
t _{PLH} t _{PHL}	Propagation Delay CET to TC		9.0 9.0	14 14	ns	
t _{PHL}	$\overline{MR}$ or $\overline{SR}$ to Q		20	28	ns	

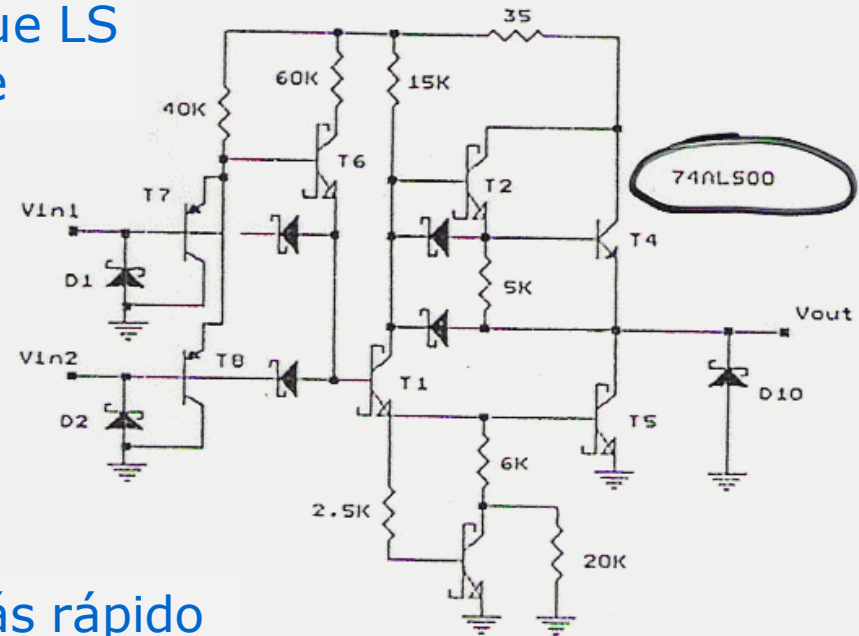
AC SETUP REQUIREMENTS (T_A = 25°C)

Symbol	Parameter	Limits			Unit	Test Conditions
		Min	Typ	Max		
t _{WCP}	Clock Pulse Width Low	25			ns	V _{CC} = 5.0 V
t _W	$\overline{MR}$ or $\overline{SR}$ Pulse Width	20			ns	
t _s	Setup Time, other*	20			ns	
t _s	Setup Time $\overline{PE}$ or $\overline{SR}$	25			ns	
t _h	Hold Time, data	3			ns	
t _h	Hold Time, other	0			ns	
t _{rec}	Recovery Time $\overline{MR}$ to CP	15			ns	

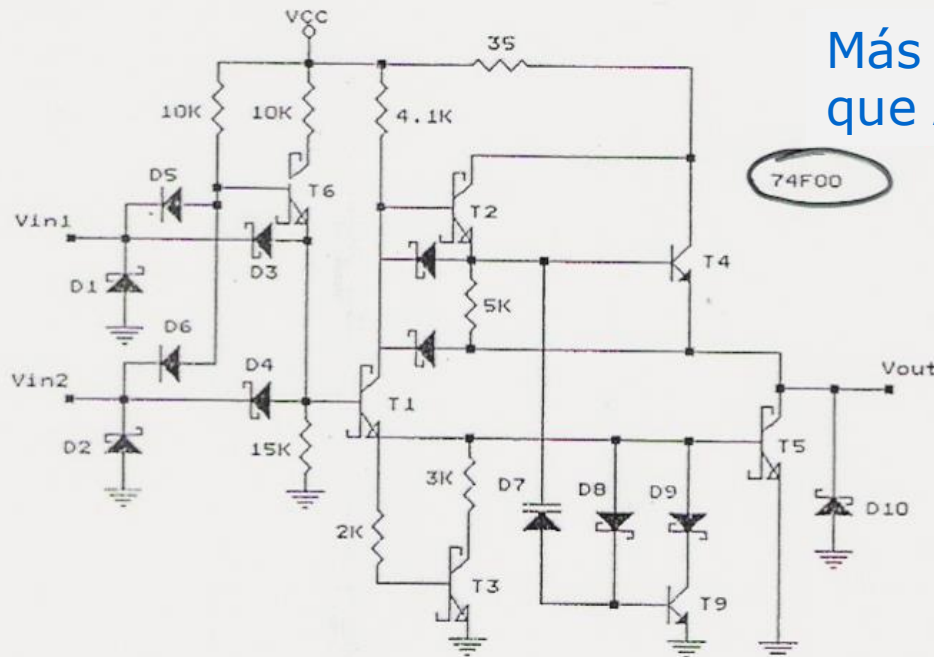
*CEP, CET, or DATA

Más rápido que LS
Mayor MNoise

NAND de 2 entradas ALS



Más rápido
que ALS



NAND de 2 entradas FAST

TTL Family Comparisons

Tabla de comparación entre subfamilias TTL

General Characteristics for Schottky TTL Logic

(ALL MAXIMUM RATINGS)		LS		ALS			FAST		
Characteristic	Symbol	54LSxxx	74LSxxx	54ALSxxx	74ALSxxx		54Fxxx	74Fxxx	Units
Operating Voltage Range	VCC	5 ± 10%	5 ± 5%	5 ± 10%	5 ± 10%	5 ± 5%	5 ± 10%	5 ± 5%	Vdc
Operating Temperature Range	TA	- 55 to 125	0 to 70	- 55 to 125	0 to 70	0 to 70	- 55 to 125	0 to 70	°C
Input Current	I _{IH}	20	20	20	20	20	20	20	μA
	I _{IL}	- 400	- 400	- 100	- 100	- 100	- 600	- 600	
Output Drive Standard Output	I _{OH}	- 0.4	- 0.4	- 0.4	- 0.4	- 0.4	- 1.0	- 1.0	mA
	I _{OL}	4.0	8.0	4.0	8.0	8.0	20	20	mA
	I _{SC}	- 20 to - 100	- 20 to - 100	- 25 to - 150	- 25 to - 150	- 25 to - 150	- 60 to - 150	- 60 to - 150	mA
Buffer Output	I _{OH}	- 12	- 15	- 12	- 15	- 15	- 12	- 15	mA
	I _{OL}	12	24	12	24	24	48	64	mA
	I _{SC}	- 40 to - 225	- 40 to - 225	- 50 to - 275	- 50 to - 225	- 50 to - 225	- 100 to - 225	- 100 to - 225	mA
Buffer Line Driving Capability:									
Minimum R _L into 2.5 V		178	84	178	84	84	43	32	Ω
Minimum R _L into 5.0 V		381	189	381	189	189	95	71	Ω

Speed/Power Characteristics for Schottky TTL Logic⁽¹⁾

(ALL TYPICAL RATINGS)

Characteristic	Symbol	LS	ALS	FAST	Units
Quiescent Supply Current/Gate	I _G	0.4	0.2	1.1	mA
Power/Gate (Quiescent)	P _G	2.0	1.0	5.5	mW
Propagation Delay	t _p	9.0	5.0	3.7	ns
Speed Power Product	—	18	5.0	19.2	pJ
Clock Frequency (D-F/F)	f _{max}	33	35	125	MHz
Clock Frequency (Counter)	f _{max}	40	45	125	MHz

Lógica CMOS

Evolución:

Serie 4000, serie 4000UB-4000B,
Serie 74C, serie 74HC-74HCT, serie 74AC-74ACT,
Serie 74AHC-74AHCT, etc..

Versiones de baja tensión de alimentación:
(3,3V, 2,5V, 1,8V, 1,2V)

Lógica CMOS Standard

Serie 4000

Es la mas antigua de CMOS.

Sus mayores ventajas son:

Extremado bajo consumo.

Mayor DENSIDAD de INTEGRACIÓN.

Alta inmunidad al ruido.

Alto Fan-out.

Rango de tensiones de alimentación amplio (3 V a 18V).

TTL sólo se puede alimentar con 5V +/- 5%

Principal desventaja: Velocidad.

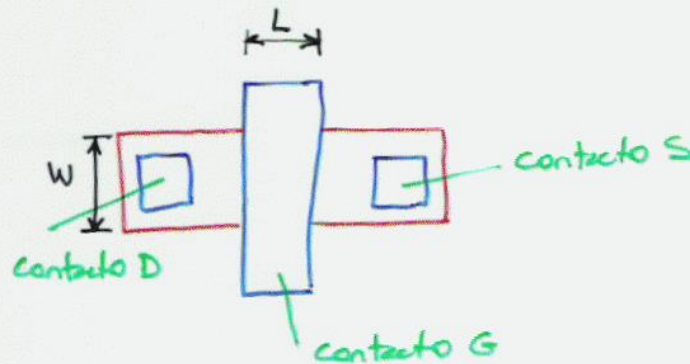
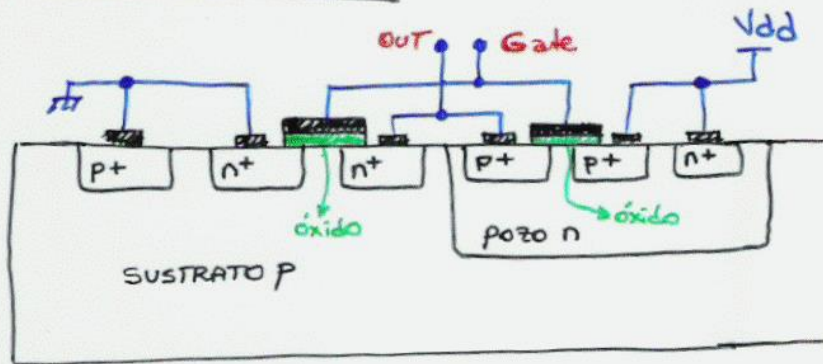
En la actualidad viene en dos versiones: 4xxxUB y 4xxxB.

La primera, UB (unbuffered) es un poco más rápida pero con poca capacidad de corriente de salida.

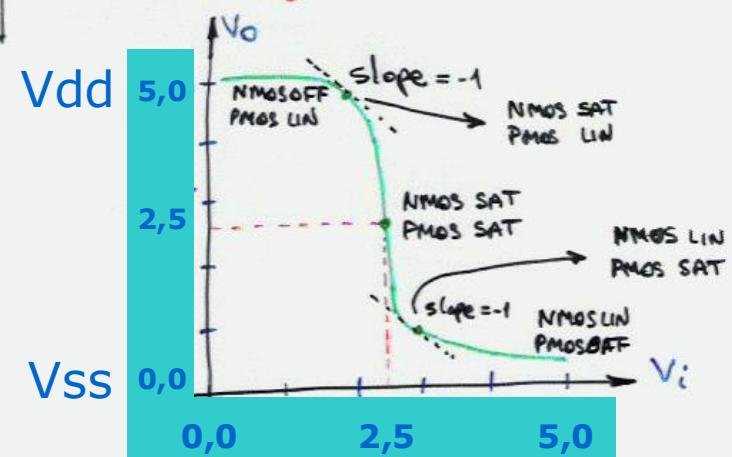
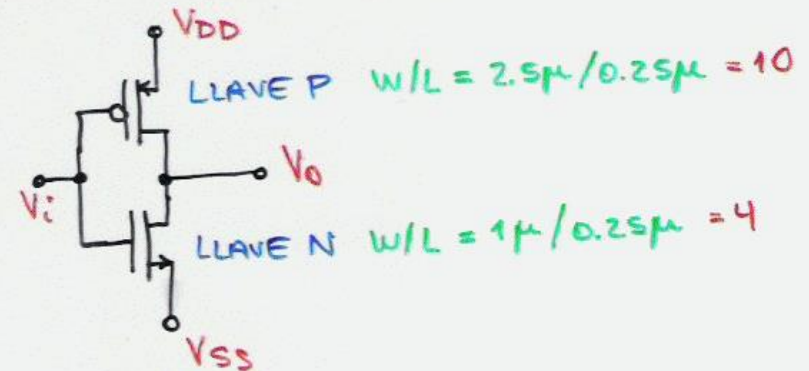
La segunda, B (buffered) es un poco más lenta pero tiene mayor corriente para alimentar cargas TTL ya que posee un driver a la salida (generalmente un inversor) con lo cual hay que negar dos veces y eso hace mas lento al circuito.

Circuito de un inversor CMOS

Inversor CMOS



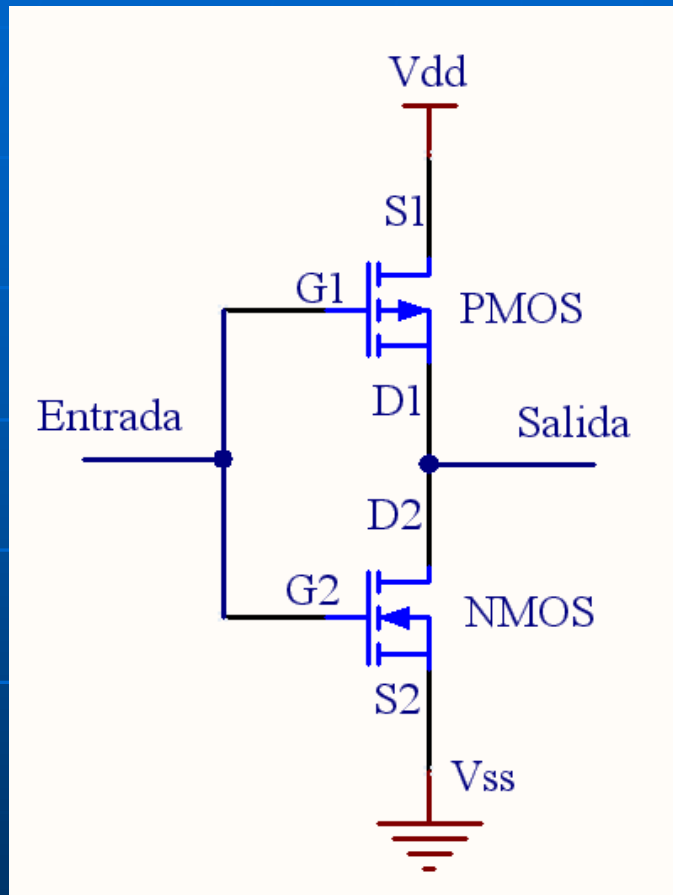
Inversor CMOS



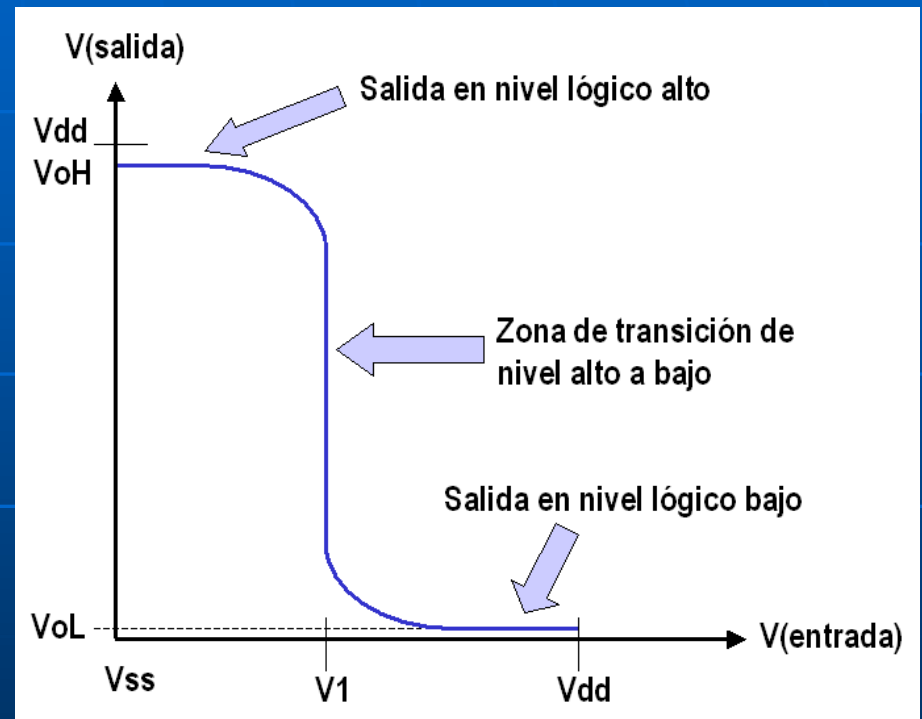
La base comienza con un sustrato de Silicio que es un material de fácil accesibilidad y económico. Por procesos litográficos se procede a generar las áreas de dopaje para construir siempre dos tipos de transistores: NMOS y PMOS. El tamaño del transistor es clave para conseguir la mejor densidad de integración y mayor velocidad de conmutación posible.

Hoy en día se diseña al transistor en tres dimensiones y con múltiples gates para mejorar su performance.

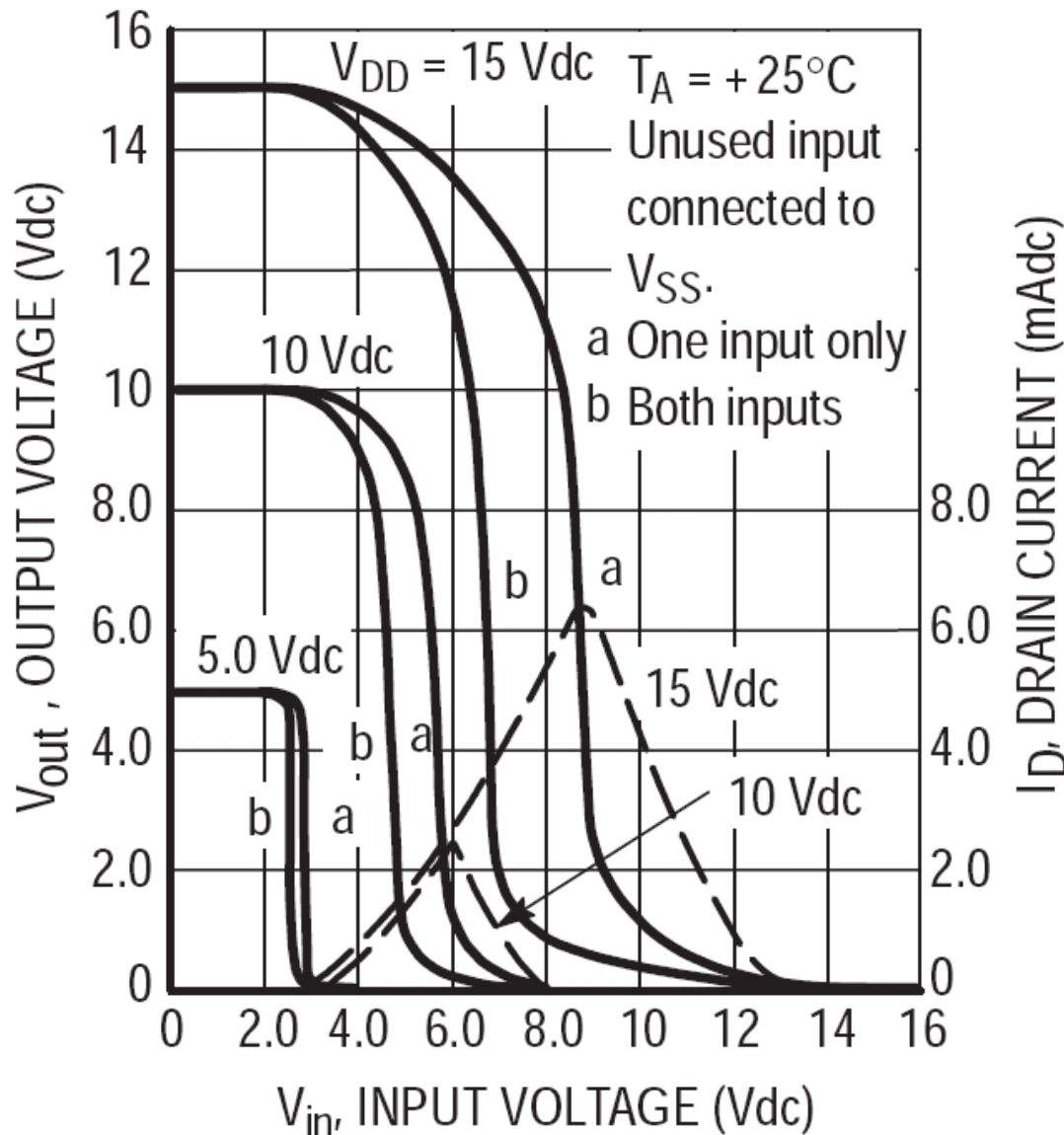
Circuito de un inversor CMOS



Respuesta idealizada

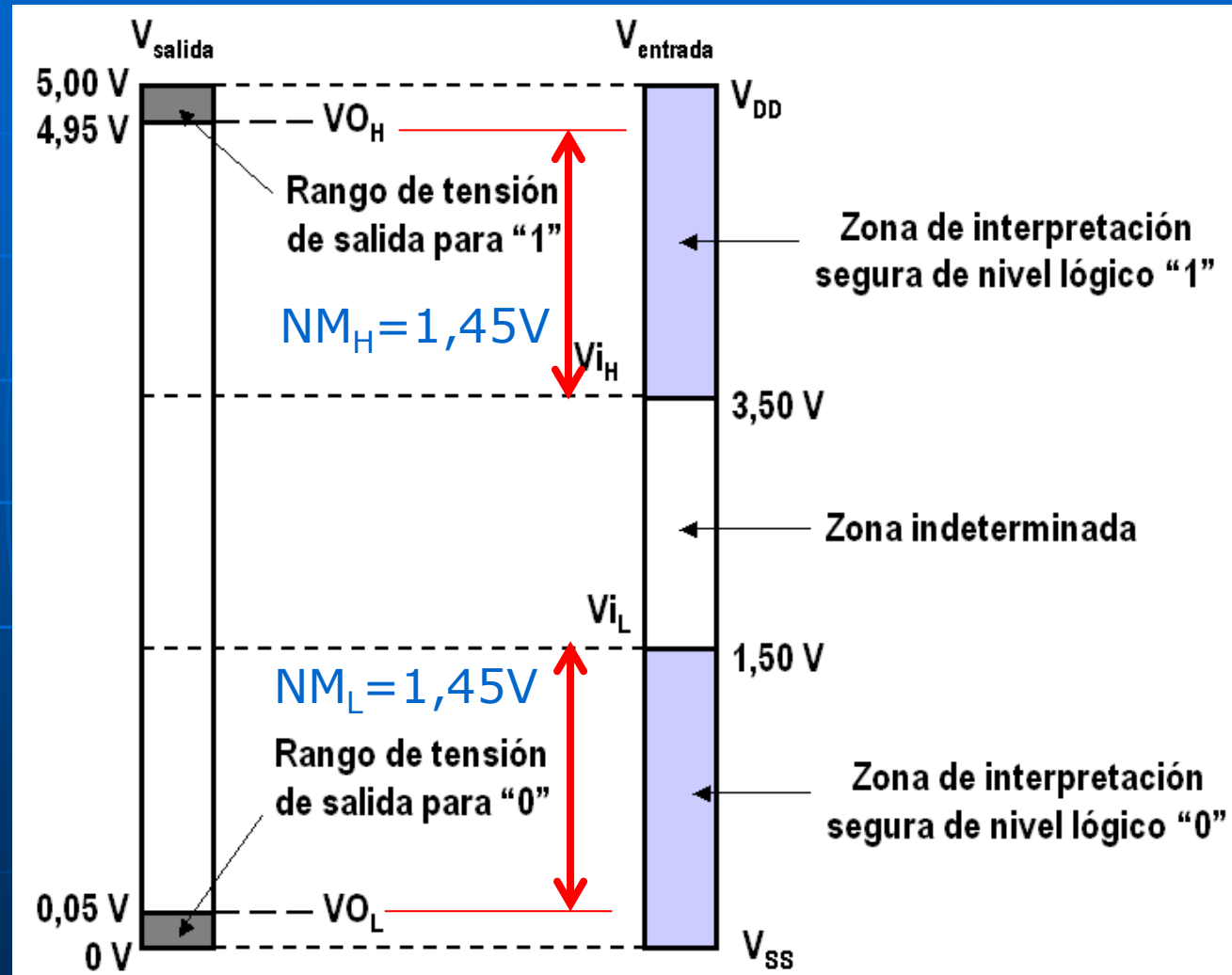


FUNCIÓN DE TRANSFERENCIA REAL DE HOJAS DE DATOS DE ALGUNAS COMPUERTAS CMOS SERIE 4000 para 3 niveles de tensión de alimentación V_{DD} : 5, 10 y 15 V y con temperatura ambiente estable en 25°C.



Qué funciones lógicas puede representar este tipo de respuesta ...??

Márgen de ruido en CMOS



Ecuaciones del MOSFET canal N

o Región de corte: $I_{ds} = 0$ para $V_{gs} - V_T < 0$

o Región lineal:

$$I_{ds} = \mu C_{ox} \cdot \frac{W}{L} \cdot \left[(V_{gs} - V_T) \cdot V_{ds} - \frac{V_{ds}^2}{2} \right] \cdot (1 + \lambda \cdot V_{ds})$$

$$\text{para } 0 < V_{ds} < V_{gs} - V_T$$

o Capacidad del óxido

$$C_{ox} = \frac{\epsilon_{ox}}{t_{ox}} \text{ (F/m}^2\text{)}$$

→ espesor

o Región de saturación:

$$I_{ds} = \frac{\mu C_{ox}}{2} \cdot \frac{W}{L} \cdot (V_{gs} - V_T)^2 \cdot (1 + \lambda V_{ds}) \text{ para } V_{ds} > V_{gs} - V_T$$

Retardo de propagación

$$t_{PLH} = \frac{C_L \cdot V_{dd}}{k_p (V_{dd} - |V_{TP}|)^2} \approx \frac{C_L}{k_p \cdot V_{dd}} \rightarrow \propto 1/L_p$$

$$t_{PHL} = \frac{C_L \cdot V_{dd}}{k_n (V_{dd} - |V_{TN}|)^2} \approx \frac{C_L}{k_n \cdot V_{dd}} \rightarrow \propto 1/L_n$$

$$t_p \approx \frac{1}{2} (t_{PLH} + t_{PHL}) = \frac{C_L}{2 \cdot V_{dd}} \cdot \left(\frac{1}{k_n} + \frac{1}{k_p} \right)$$

Para reducir retardos:

- REDUCIR C_L
- INCREMENTAR k_n y k_p
 $\Rightarrow$ aumentar $W/L \Rightarrow I_{DS} \uparrow$

En la tecnología CMOS la velocidad de respuesta se puede incrementar si se **reduce el tamaño del canal** del transistor MOS.

La mejora en los procesos de fabricación ha posibilitado crear transistores 3D con longitud de canal (hasta el momento) por debajo de la decena de nanómetros.

Inversor CMOS

Disipación de potencia dinámica

- Función del tamaño del transistor (Capacidades de GATE y parásitas)

- Para reducir P_d se puede:

- o Reducir C_L

- o Reducir V_{dd} $\Rightarrow$ MAS EFECTIVO

- o Reducir freq.

$$E = \frac{1}{2} C_L \cdot V_{dd}^2$$

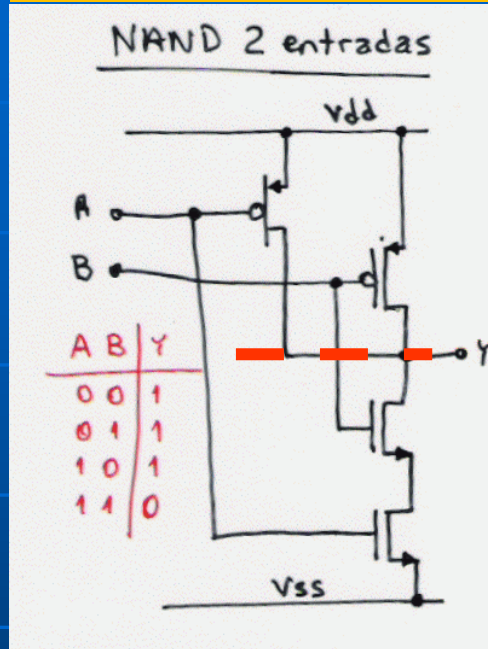
$$P = 2 \cdot f \cdot E = f \cdot C_L \cdot V_{dd}^2$$

Por años se ha empleado la técnica de disminuir la tensión de alimentación V_{dd} para bajar la potencia disipada. Comenzando por 5 V y pasando por 3,3V, 2,5V, 1,8V y actualmente 1,2V.

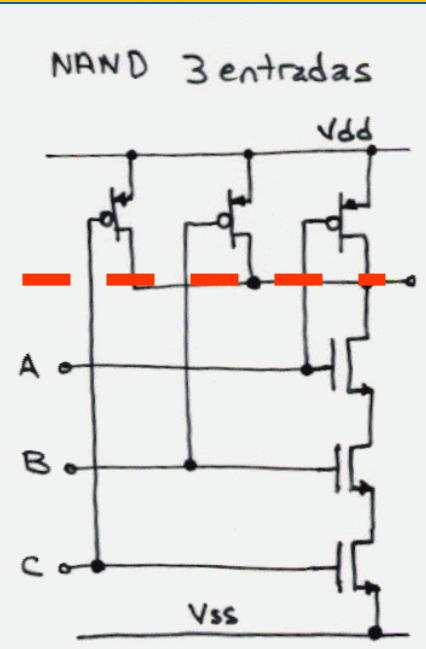
Si se reduce a la mitad V_{dd} se baja 4 veces el consumo de energía.

Estructuras simples de compuertas CMOS

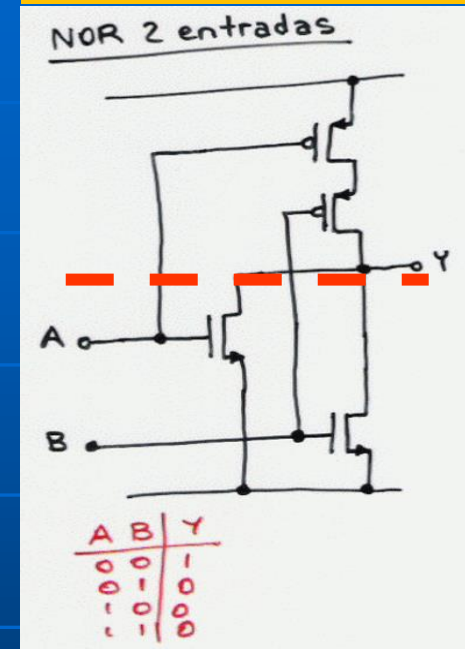
NAND de 2 entradas



NAND de 3 entradas



NOR de 2 entradas



Existe una **antisimetría** (ver línea horizontal a trazos) en la construcción de compuertas en CMOS.

La parte superior basada en transistores PMOS donde los mismos se activan con una entrada de gate se pone a Vdd. Una vez que se consigue un camino entre "Y" y Vdd, la salida vale "1". Lo opuesto ocurre con los transistores NMOS en la parte inferior. Se activan cuando en el gate la tensión se pone a Vss. Cuando se logra un camino entre "Y" y Vss, la salida vale "0".

El arreglo de Trs PMOS es "complementario" al arreglo hecho con los Trs. NMOS.

En la NAND, los PMOS están en paralelo y los NMOS en serie.

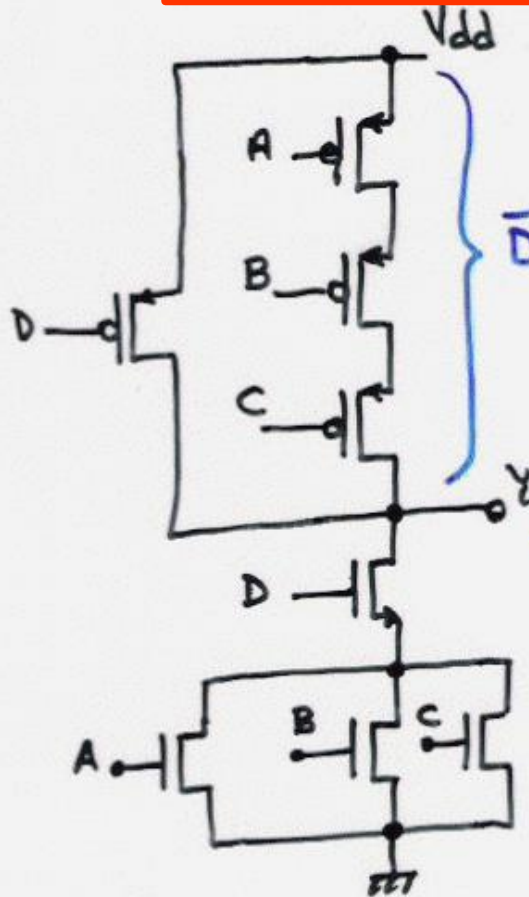
En la NOR pasa lo mismo, salvo que los PMOS están en serie y los NMOS en paralelo.

Compuertas CMOS complejas

Función: $Y = \overline{D \cdot (A+B+C)}$

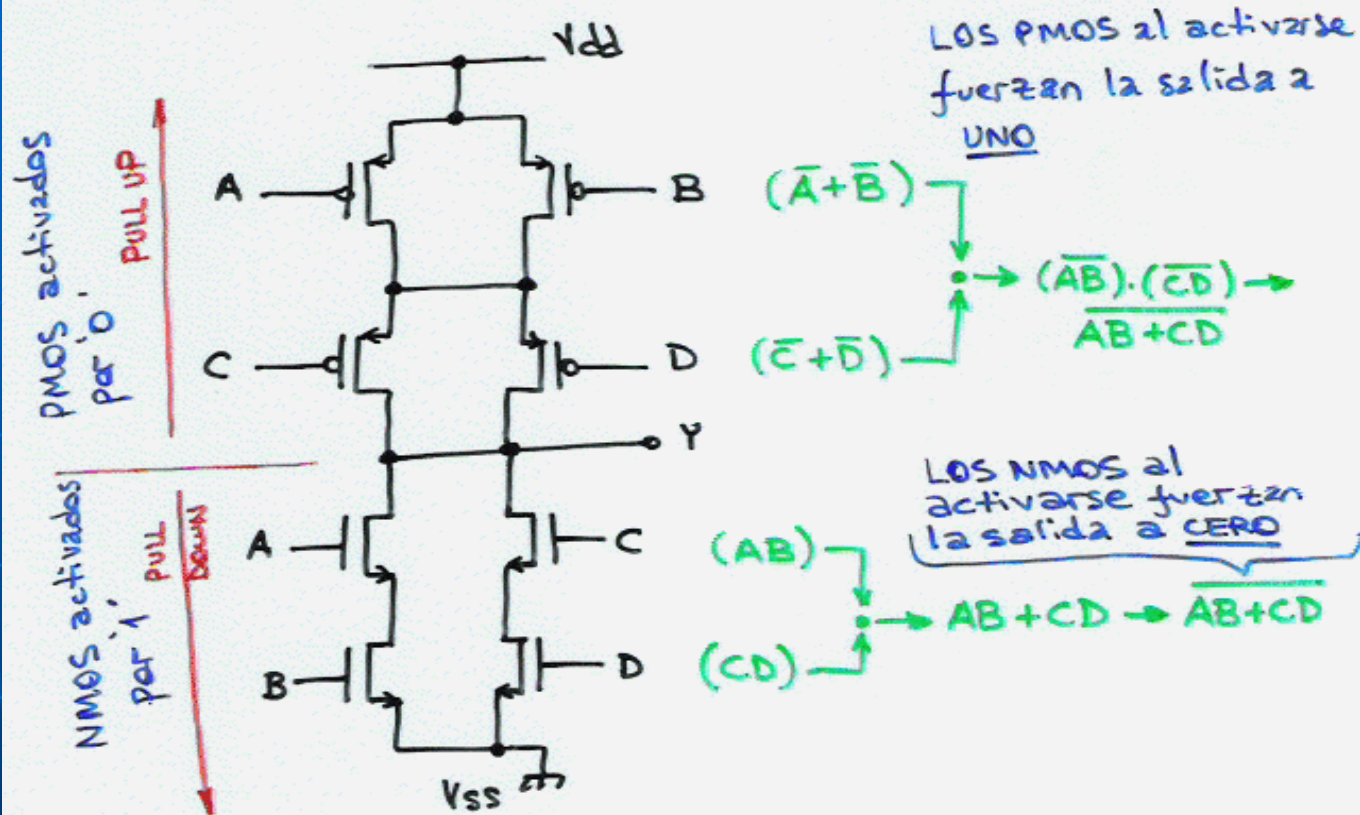
Ciertas funciones se pueden implementar con un solo bloque de retardos.

En TTL exigiría 3 niveles de compuertas ...!!!!



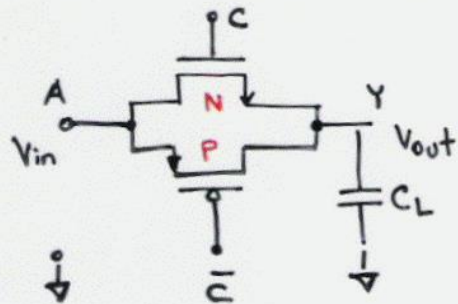
$$\begin{aligned} \overline{D + \overline{A} \overline{B} \overline{C}} &= Y = \overline{\overline{Y}} = \overline{\overline{D \cdot (A+B+C)}} \\ &= \overline{D} + \overline{(A+B+C)} = \overline{D} + \overline{A} \cdot \overline{B} \cdot \overline{C} \end{aligned}$$

$$D \cdot (A+B+C) = \overline{\overline{Y}}$$

Compuertas CMOS complejas

La regla de diseño es que la función implementada con los PMOS para lograr la $F = '1'$, debe tener otra función $\bar{F}$ implementada con los NMOS.

Compuerta de paso CMOS - SWITCH CMOS -



C	A	Y
0	0	?
0	1	?
1	0	BUEN 0
1	1	BUEN 1

ALTA Z

NO INVERSOR

Transición de entrada de 0 a 1

NMOS: trabaja como seguidor por fuente
 $V_{gs} = V_{ds}$ siempre.

Cuando $V_{out} < V_{dd} - V_{tn}$ → SATURA

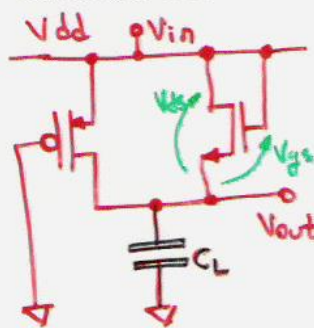
Cuando $V_{out} > V_{dd} - V_{tn}$ → CORTA

PMOS: trabaja como fuente de corriente

Cuando $V_{out} < |V_{tp}|$ → SATURA

Cuando $V_{out} > |V_{tp}|$ → FUNC. LINEAL

CIRCUITO EQUIVALENTE



Transición de entrada de 1 a 0

NMOS: trabaja como fuente de corriente

Cuando $V_{out} > V_{dd} - V_{tn}$ → SATURA

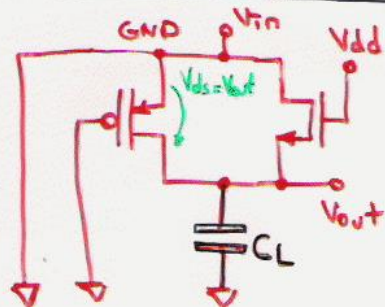
Cuando $V_{out} < V_{dd} - V_{tn}$ → FUNC. LIN.

PMOS: trabaja como seguidor por fuente

$V_{gs} = V_{ss}$ siempre

Cuando $V_{out} > |V_{tp}|$ → SATURA

Cuando $V_{out} < |V_{tp}|$ → CORTA



Funcionamiento de compuerta tipo pass-gate.

Se considera que la llave está en "ON" y debe alimentar una dada capacidad de carga que simularía a la entrada de otra compuerta CMOS.

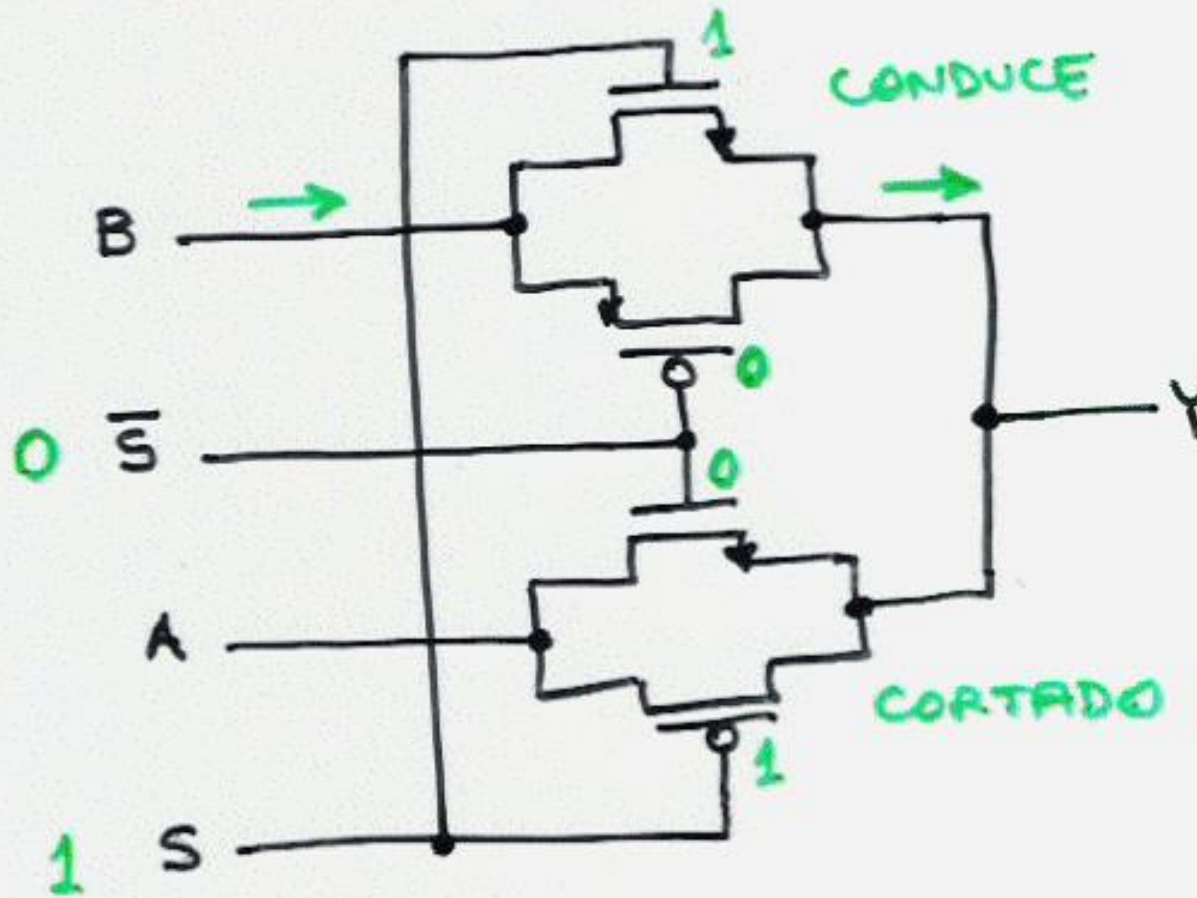
El primer esquema representa el caso donde la entrada A pasa a Vdd. Se muestra como en base a los 3 puntos de funcionamiento de los TRs. MOS se pasa por estados de zona de corte-lineal y saturación según sea el caso.

Termina la carga C cargada a Vdd a través de el PMOS.

El segundo esquema es lo mismo pero la entrada pasa a Vss y la carga se irá descargando, terminando a Vss por el NMOS.

MUX basado en compuertas pass-gate

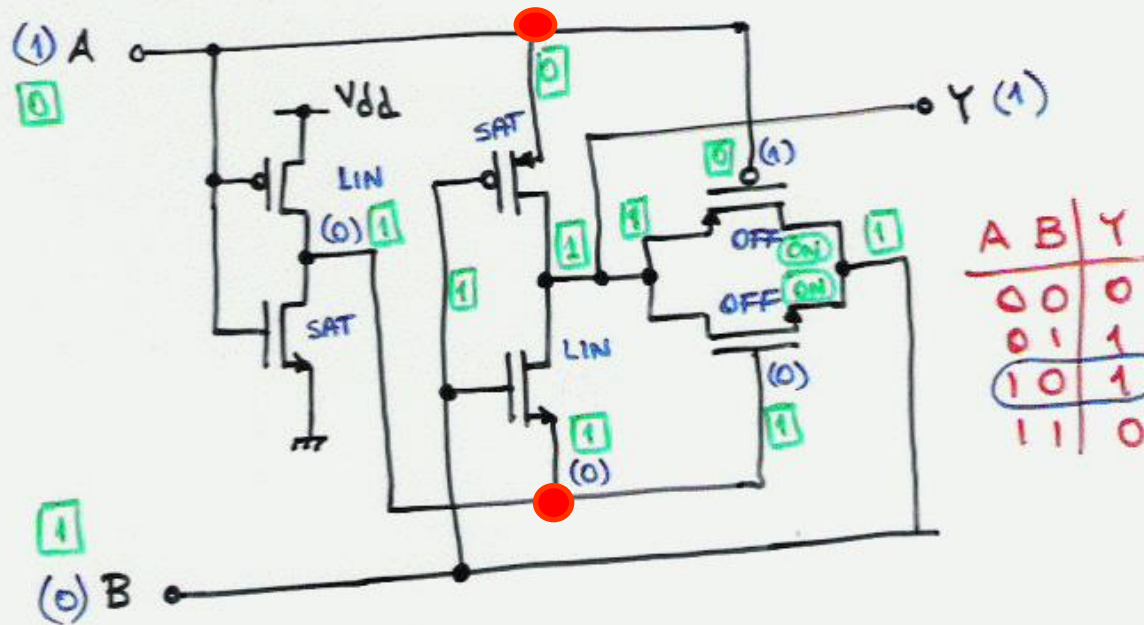
MULTIPLEXER 2:1



S	Y
0	A
1	B

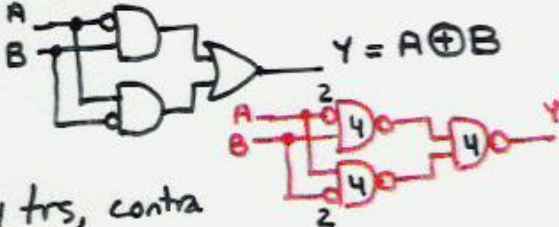
OR EXCLUSIVA

OR-EXCL basada en pass-gate



MAS SIMPLE, MENOR RETARDO QUE

USANDO :



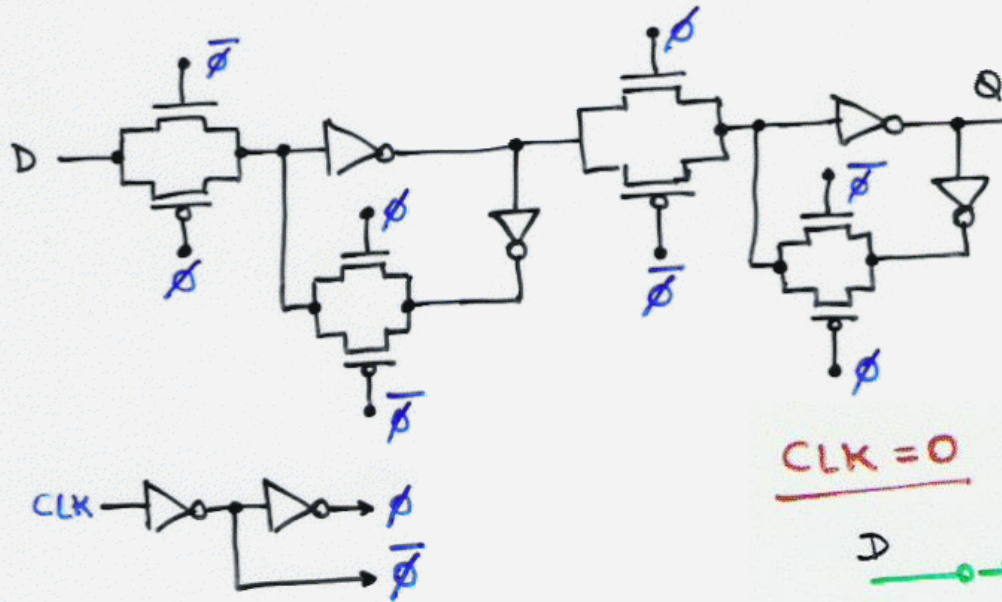
Total : 14 trs, contra 6 trs

Dado el muy bajo consumo, se tiene la posibilidad de "colgar" compuertas alimentadas de otras.

Esto permite por ejemplo hacer una Or-Exclusiva.

El segundo inversor está alimentado de la entrada A y de la salida del primer inversor (puntos rojos)

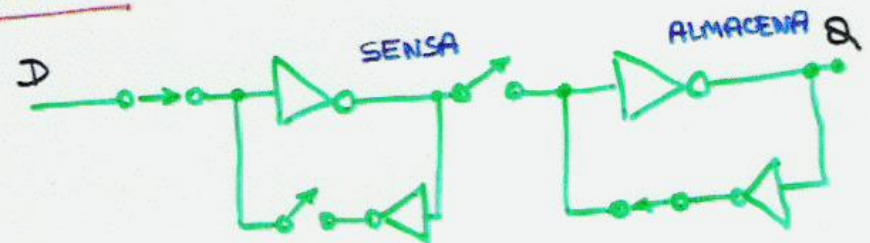
FLIP-FLOP TIPO D disparado por flanco ascendente



Implementación de un FF tipo "D" disparado por flanco ascendente.

Tiene una configuración tipo master-slave, es decir, dos bloques idénticos que se activan con niveles de tensión diferentes de CLK.

CLK = 0

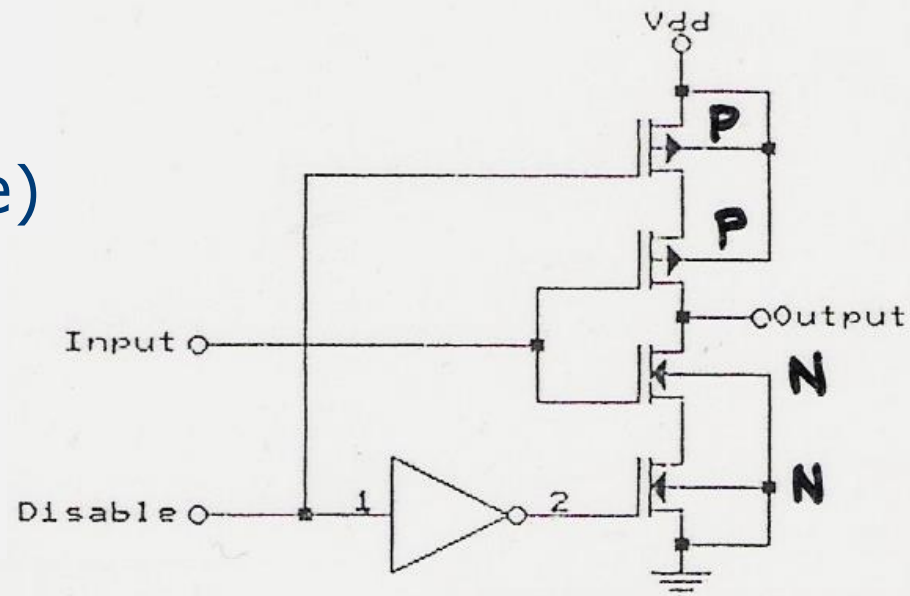


CLK = 1

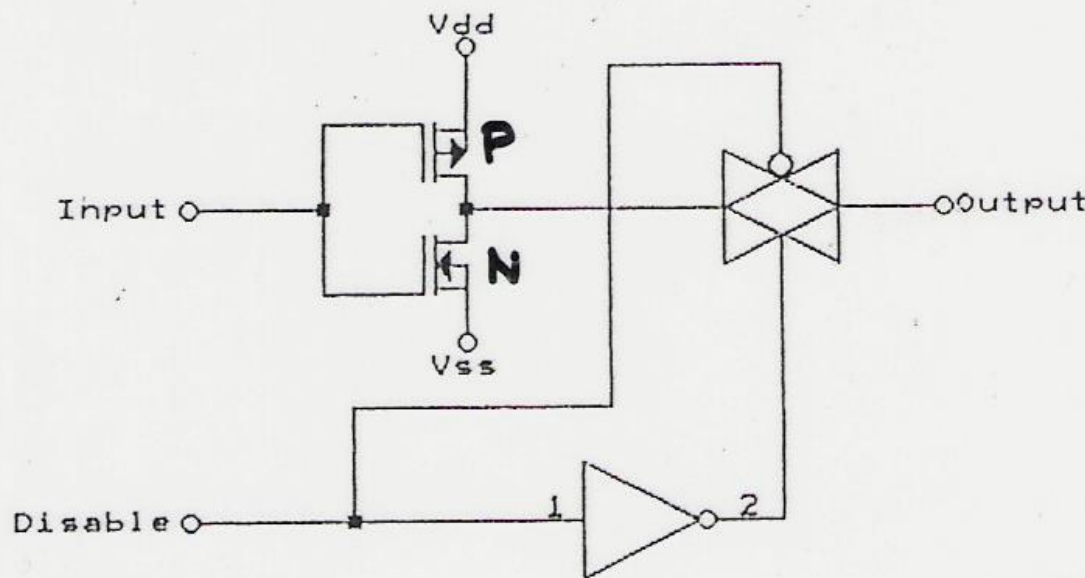


Cómo se puede hacer uno que sea sensible al otro flanco..??

Dos posibilidades para lograr compuertas con tercer estado (tri-state)



DISABLE = 0 → CONDUCE
DISABLE = 1 → OFF





alta capacidad
de corriente

MC14001B Series

B-Suffix Series CMOS Gates

**MC14001B, MC14011B, MC14023B,
MC14025B, MC14071B, MC14073B,
MC14081B, MC14082B**

The B Series logic gates are constructed with P and N channel enhancement mode devices in a single monolithic structure (Complementary MOS). Their primary use is where low power dissipation and/or high noise immunity is desired.

- Supply Voltage Range = 3.0 Vdc to 18 Vdc
- All Outputs Buffered
- Capable of Driving Two Low-power TTL Loads or One Low-power Schottky TTL Load Over the Rated Temperature Range.
- Double Diode Protection on All Inputs Except: Triple Diode Protection on MC14011B and MC14081B
- Pin-for-Pin Replacements for Corresponding CD4000 Series B Suffix Devices

Characteristic	Symbol	V _{DD} Vdc	- 55°C		25°C			125°C		Unit
			Min	Max	Min	Typ ⁽³⁾	Max	Min	Max	
Output Voltage V _{in} = V _{DD} or 0	"0" Level V _{OL}	5.0	—	0.05	—	0	0.05	—	0.05	Vdc
		10	—	0.05	—	0	0.05	—	0.05	
		15	—	0.05	—	0	0.05	—	0.05	
	"1" Level V _{OH}	5.0	4.95	—	4.95	5.0	—	4.95	—	Vdc
		10	9.95	—	9.95	10	—	9.95	—	
		15	14.95	—	14.95	15	—	14.95	—	
Input Voltage (V _O = 4.5 or 0.5 Vdc) (V _O = 9.0 or 1.0 Vdc) (V _O = 13.5 or 1.5 Vdc)	"0" Level V _{IL}	5.0	—	1.5	—	2.25	1.5	—	1.5	Vdc
		10	—	3.0	—	4.50	3.0	—	3.0	
		15	—	4.0	—	6.75	4.0	—	4.0	
	"1" Level V _{IH}	5.0	3.5	—	3.5	2.75	—	3.5	—	Vdc
		10	7.0	—	7.0	5.50	—	7.0	—	
		15	11	—	11	8.25	—	11	—	
Output Drive Current (V _{OH} = 2.5 Vdc) (V _{OH} = 4.6 Vdc) (V _{OH} = 9.5 Vdc) (V _{OH} = 13.5 Vdc)	Source I _{OH}	5.0	- 3.0	—	- 2.4	- 4.2	—	- 1.7	—	mAdc
		5.0	- 0.64	—	- 0.51	- 0.88	—	- 0.36	—	
		10	- 1.6	—	- 1.3	- 2.25	—	- 0.9	—	
		15	- 4.2	—	- 3.4	- 8.8	—	- 2.4	—	
	Sink I _{OL}	5.0	0.64	—	0.51	0.88	—	0.36	—	mAdc
		10	1.6	—	1.3	2.25	—	0.9	—	
		15	4.2	—	3.4	8.8	—	2.4	—	
Input Current	I _{in}	15	—	± 0.1	—	± 0.00001	± 0.1	—	± 1.0	μAdc
Input Capacitance (V _{in} = 0)	C _{in}	—	—	—	—	5.0	7.5	—	—	pF
Quiescent Current (Per Package)	I _{DD}	5.0	—	0.25	—	0.0005	0.25	—	7.5	μAdc
		10	—	0.5	—	0.0010	0.5	—	15	
		15	—	1.0	—	0.0015	1.0	—	30	
Total Supply Current ^(4.) ^(5.) (Dynamic plus Quiescent, Per Gate, C _L = 50 pF)	I _T	5.0 10 15	I _T = (0.3 μA/kHz) f + I _{DD} /N I _T = (0.6 μA/kHz) f + I _{DD} /N I _T = (0.9 μA/kHz) f + I _{DD} /N							μAdc

En el mejor de los casos, esta compuerta puede alimentar a sólo dos cargas TTL.

Pero puede alimentar a miles de cargas CMOS (la entrada consume 1 pA). El límite práctico lo impone la parte dinámica ya que cada carga equivale a una capacidad de 5 pF lo que va haciendo a la salida cada vez mas lenta.

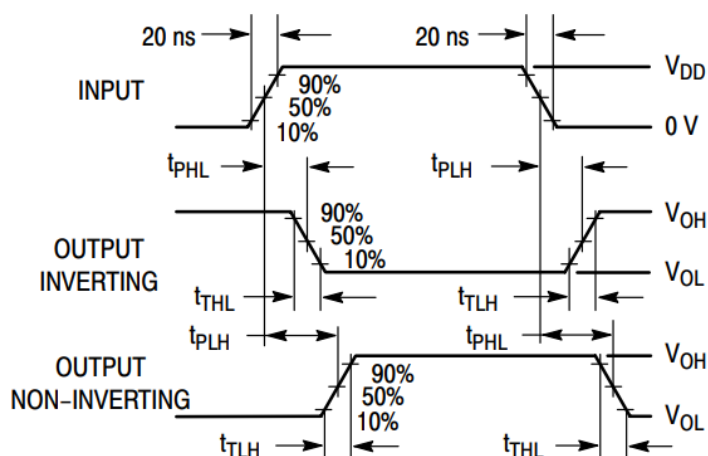
Como todo dispositivo CMOS: La corriente de alimentación I_T (o la potencia P_T = I_T*V_{dd}) depende de la frecuencia de operación.

MC14001B Series

B-SERIES GATE SWITCHING TIMES

SWITCHING CHARACTERISTICS ^(6.) ($C_L = 50 \text{ pF}$, $T_A = 25^\circ\text{C}$)

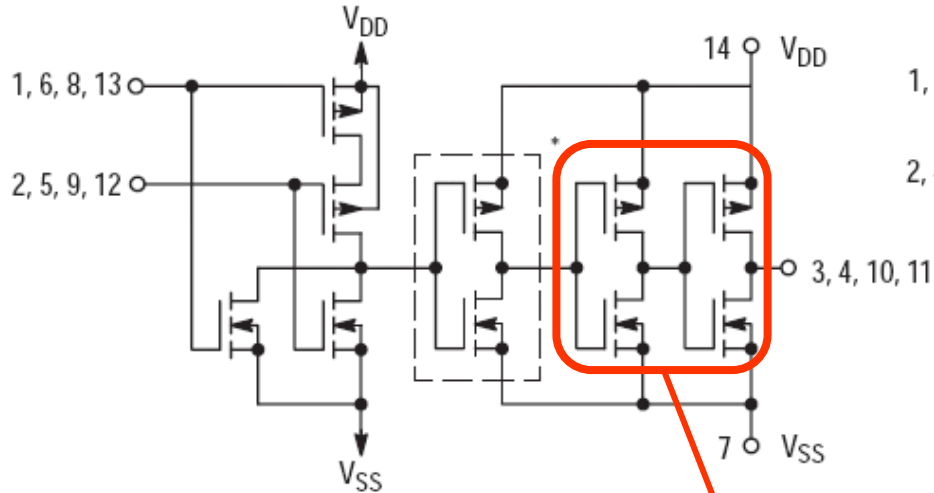
Characteristic	Symbol	V_{DD} V_{dc}	Min	Typ ^(7.)	Max	Unit
Output Rise Time, All B-Series Gates $t_{TLH} = (1.35 \text{ ns/pF}) C_L + 33 \text{ ns}$ $t_{TLH} = (0.60 \text{ ns/pF}) C_L + 20 \text{ ns}$ $t_{TLH} = (0.40 \text{ ns/pF}) C_L + 20 \text{ ns}$	t_{TLH}	5.0 10 15	— — —	100 50 40	200 100 80	ns
Output Fall Time, All B-Series Gates $t_{THL} = (1.35 \text{ ns/pF}) C_L + 33 \text{ ns}$ $t_{THL} = (0.60 \text{ ns/pF}) C_L + 20 \text{ ns}$ $t_{THL} = (0.40 \text{ ns/pF}) C_L + 20 \text{ ns}$	t_{THL}	5.0 10 15	— — —	100 50 40	200 100 80	ns
Propagation Delay Time MC14001B, MC14011B only $t_{PLH}, t_{PHL} = (0.90 \text{ ns/pF}) C_L + 80 \text{ ns}$ $t_{PLH}, t_{PHL} = (0.36 \text{ ns/pF}) C_L + 32 \text{ ns}$ $t_{PLH}, t_{PHL} = (0.26 \text{ ns/pF}) C_L + 27 \text{ ns}$ All Other 2, 3, and 4 Input Gates $t_{PLH}, t_{PHL} = (0.90 \text{ ns/pF}) C_L + 115 \text{ ns}$ $t_{PLH}, t_{PHL} = (0.36 \text{ ns/pF}) C_L + 47 \text{ ns}$ $t_{PLH}, t_{PHL} = (0.26 \text{ ns/pF}) C_L + 37 \text{ ns}$ 8-Input Gates (MC14068B, MC14078B) $t_{PLH}, t_{PHL} = (0.90 \text{ ns/pF}) C_L + 155 \text{ ns}$ $t_{PLH}, t_{PHL} = (0.36 \text{ ns/pF}) C_L + 62 \text{ ns}$ $t_{PLH}, t_{PHL} = (0.26 \text{ ns/pF}) C_L + 47 \text{ ns}$	t_{PLH}, t_{PHL}	5.0 10 15 5.0 10 15 5.0 10 15	— — — — — — — — —	125 50 40 160 65 50 200 80 60	250 100 80 300 130 100 350 150 110	ns



Generalmente se especifican los retardos considerando que la salida es cargada con 50 pF, lo que equivale a unas 10 entradas CMOS.

A mayor V_{DD} menor será el retardo.
Para 15 V se obtiene la mayor velocidad.

MC14001B, MC14071B
One of Four Gates Shown

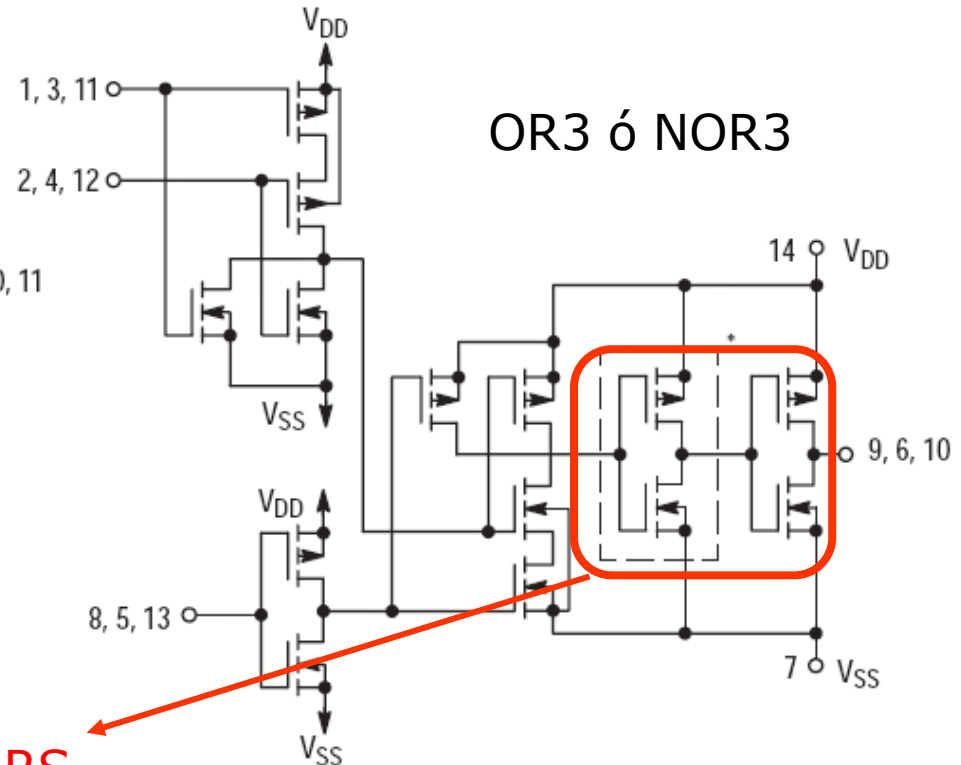


*Inverter omitted in MC14001B

OR2 ó NOR2

BUFFERS

MC14025B
One of Three Gates Shown

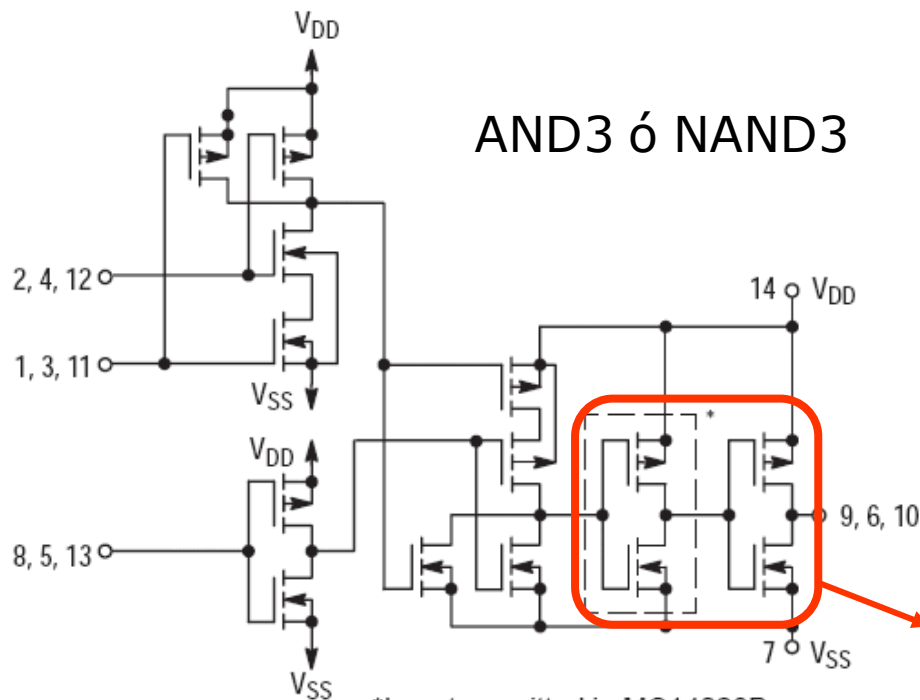


OR3 ó NOR3

*Inverter omitted in MC14025B

MC14023B, MC14073B
One of Three Gates Shown

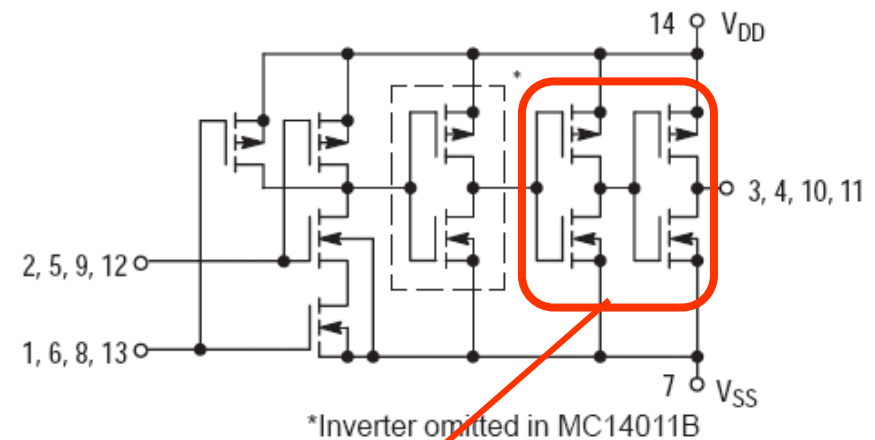
AND3 ó NAND3



*Inverter omitted in MC14023B

MC14011B, MC14081B
One of Four Gates Shown

AND2 ó NAND2



*Inverter omitted in MC14011B

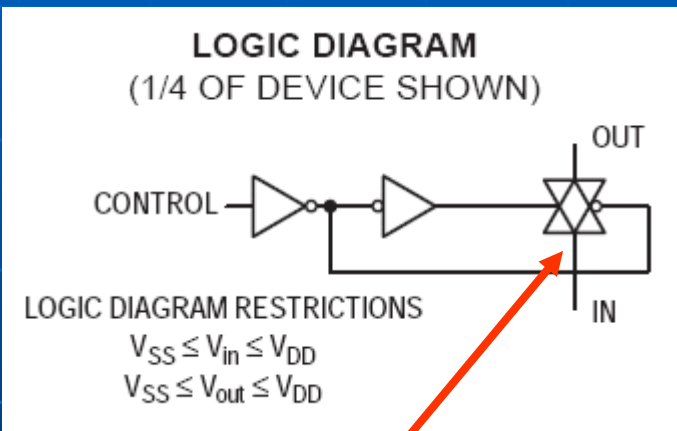
BUFFERS

MC14016B

Quad Analog Switch/ Quad Multiplexer

The MC14016B quad bilateral switch is constructed with MOS P-channel and N-channel enhancement mode devices in a single monolithic structure. Each MC14016B consists of four independent switches capable of controlling either digital or analog signals. The quad bilateral switch is used in signal gating, chopper, modulator, demodulator and CMOS logic implementation.

- Diode Protection on All Inputs
- Supply Voltage Range = 3.0 Vdc to 18 Vdc
- Linearized Transfer Characteristics
- Low Noise — $12 \text{ nV}/\sqrt{\text{Cycle}}$, $f \geq 1.0 \text{ kHz}$ typical
- Pin-for-Pin Replacements for CD4016B, CD4066B (Note improved transfer characteristic design causes more parasitic coupling capacitance than CD4016)
- For Lower R_{ON} , Use The HC4016 High-Speed CMOS Device or The MC14066B
- This Device Has Inputs and Outputs Which Do Not Have ESD Protection. Antistatic Precautions Must Be Taken.



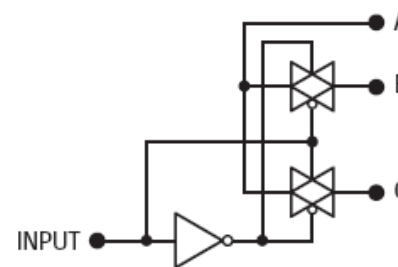
Compuerta pass-gate

MC14007UB

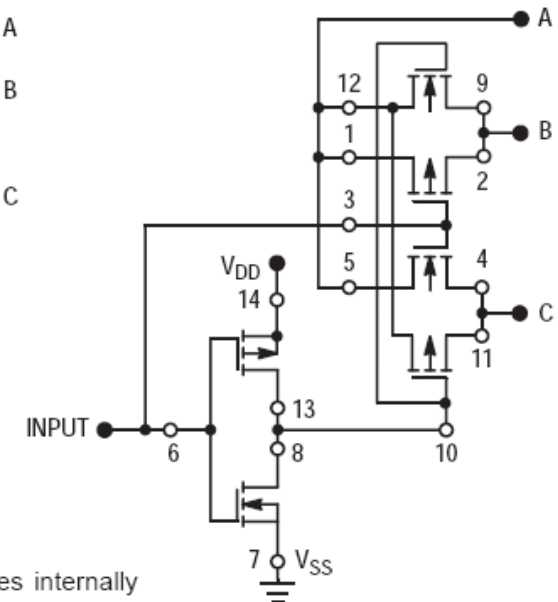
Dual Complementary Pair Plus Inverter

The MC14007UB multi-purpose device consists of three N-channel and three P-channel enhancement mode devices packaged to provide access to each device. These versatile parts are useful in inverter circuits, pulse-shapers, linear amplifiers, high input impedance amplifiers, threshold detectors, transmission gating, and functional gating.

- Diode Protection on All Inputs
- Supply Voltage Range = 3.0 Vdc to 18 Vdc
- Capable of Driving Two Low-power TTL Loads or One Low-power Schottky TTL Load Over the Rated Temperature Range
- Pin-for-Pin Replacement for CD4007A or CD4007UB
- This device has 2 outputs without ESD Protection. Anti-static precautions must be taken.



INPUT	OUTPUT CONDITION
1	A = C, B = OPEN
0	A = B, C = OPEN



Substrates of P-channel devices internally connected to V_{DD} ; substrates of N-channel devices internally connected to V_{SS} .

Lógica CMOS de alta velocidad

Serie 74XX

Es la mas nueva y actual de CMOS.

Sus mayores ventajas son:

Bajo consumo respecto a las versiones de TTL LPS (Low Power Schottky).

Mayor inmunidad al ruido.

Rango de tensiones de alimentación medio (3 V a 6 V).

Velocidad comparable a TTL LS (depende de las versiones).

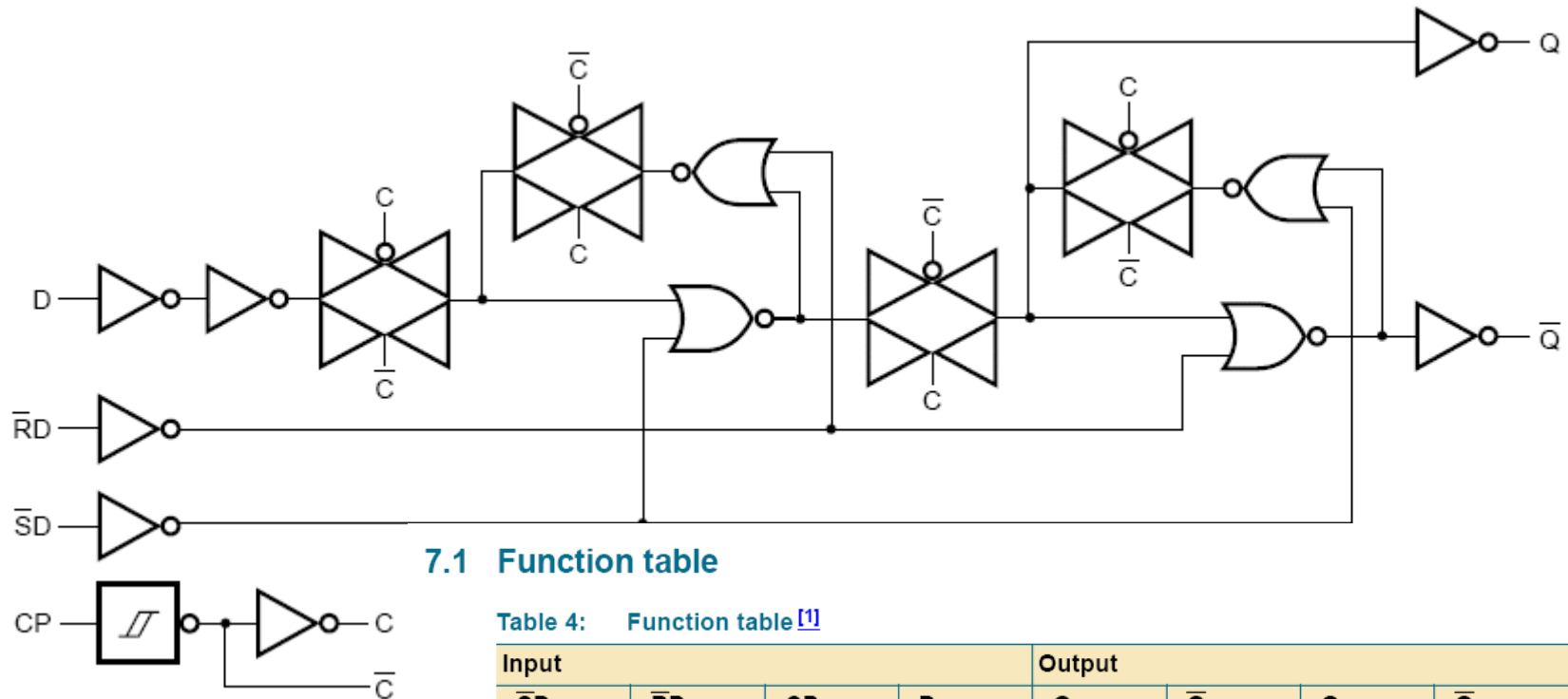
En la actualidad tenemos varias versiones:

74HC y 74AC (compatibles con CMOS con rango reducido de V_{cc}).

74HCT y 74ACT (compatibles con TTL en 5 Volts)

Versiones de baja tensión (74AHC, 74LCX, 74LVX, 74ALCX, etc.)

NOTA: Las denominaciones cambian dependiendo del fabricante.



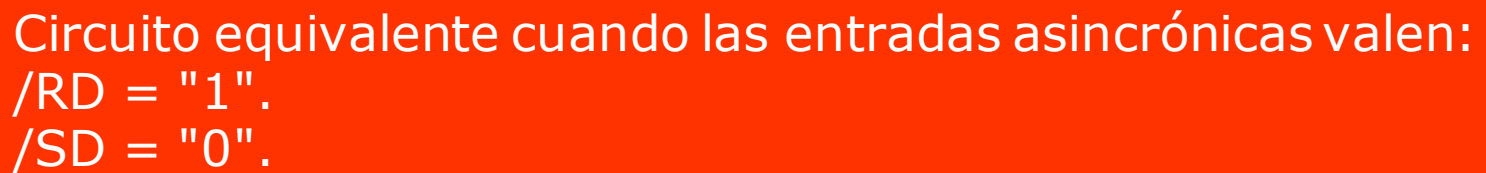
7.1 Function table

Table 4: Function table [1]

Input				Output			
$\overline{nSD}$	$\overline{nRD}$	nCP	nD	nQ	$\overline{nQ}$	nQ_{n+1}	$\overline{nQ}_{n+1}$
L	H	X	X	H	L	L	H
H	L	X	X	L	H	H	L
L	L	X	X	H	H	-	-
H	H	$\uparrow$	L	-	-	L	H
H	H	$\uparrow$	H	-	-	H	L

- [1] H = HIGH voltage level;
 L = LOW voltage level;
 $\uparrow$ = LOW-to-HIGH transition;
 Q_{n+1} = state after the next LOW-to-HIGH CP transition;
 X = don't care.

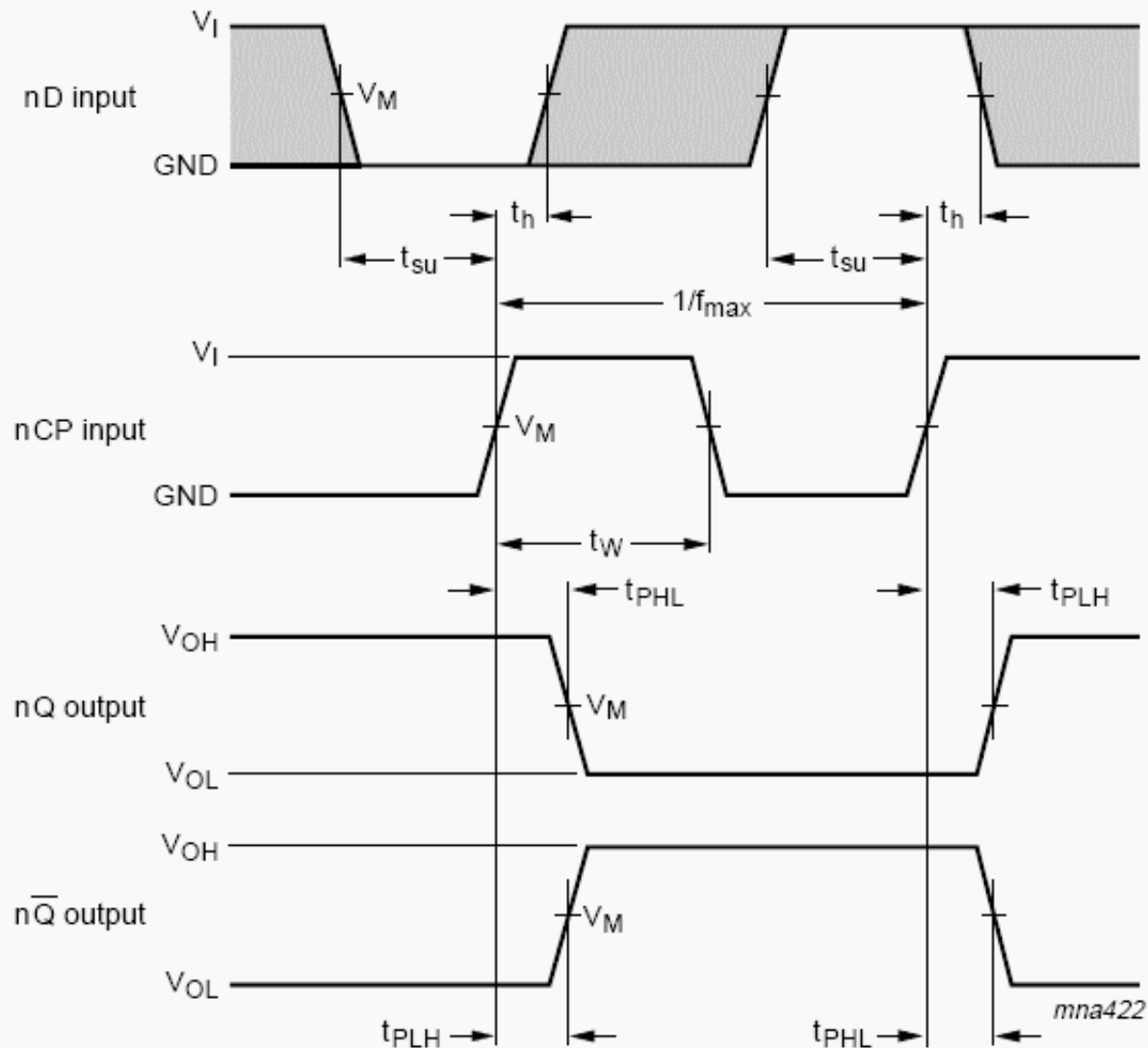
FLIP-FLOP TIPO "D"
 sensible a flanco
 ascendente con
 entradas de set y reset



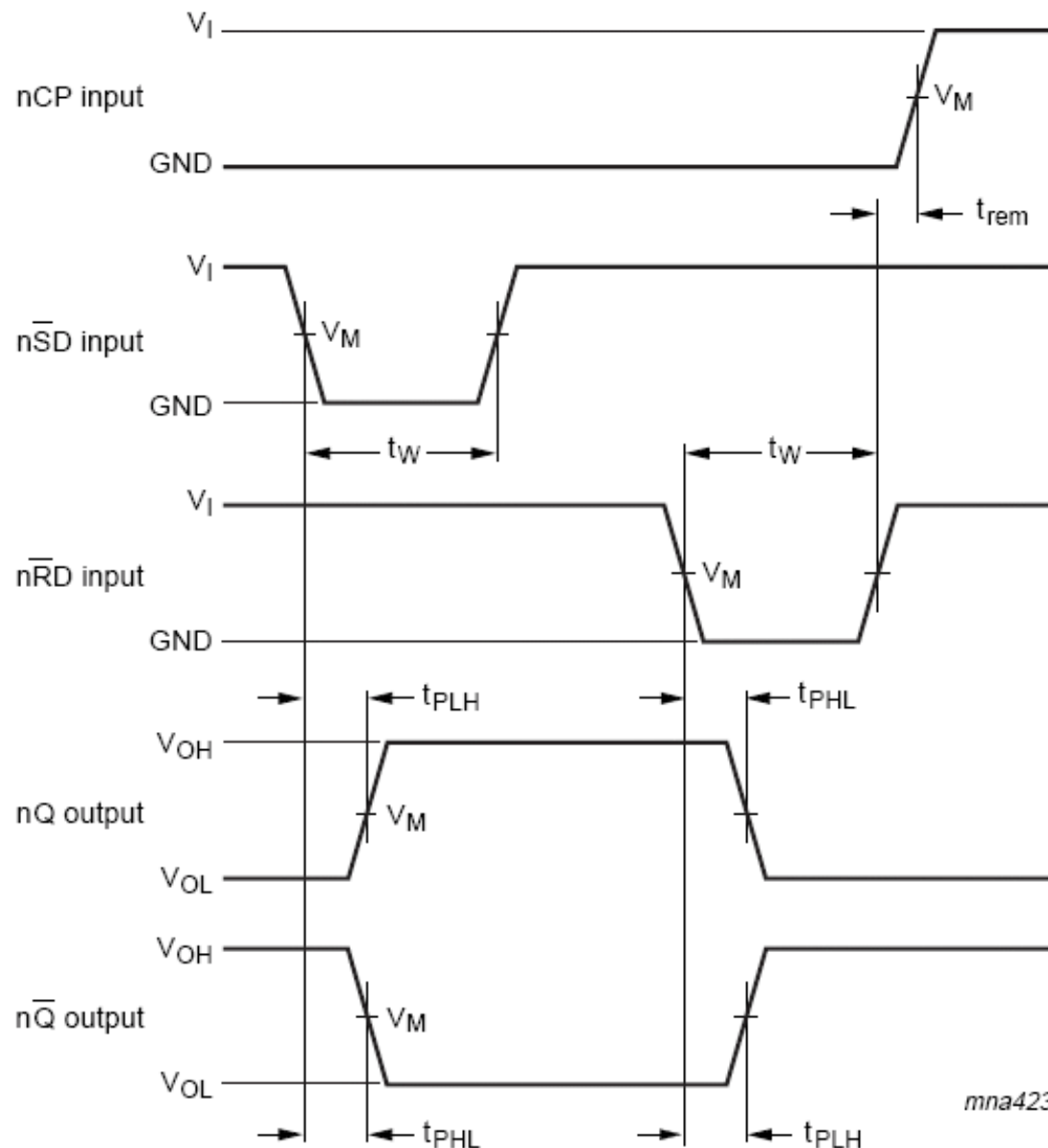
Symbol	Parameter	Test conditions	Min	Typ	Max	Unit
$T_{amb} = 25\text{ }^{\circ}\text{C}$ [1]						
t_{PHL}, t_{PLH}	propagation delay nCP to nQ, n $\bar{Q}$	$V_{CC} = 3.0\text{ V to }3.6\text{ V}$; see Figure 7				
		$C_L = 15\text{ pF}$	-	5.2	11.9	ns
		$C_L = 50\text{ pF}$	-	7.4	15.4	ns
		$V_{CC} = 4.5\text{ V to }5.5\text{ V}$; see Figure 7				
		$C_L = 15\text{ pF}$	-	3.7	7.3	ns
		$C_L = 50\text{ pF}$	-	5.2	9.3	ns
	n $\bar{S}D$, n $\bar{R}D$ to nQ, n $\bar{Q}$	$V_{CC} = 3.0\text{ V to }3.6\text{ V}$; see Figure 8				
		$C_L = 15\text{ pF}$	-	5.4	12.3	ns
		$C_L = 50\text{ pF}$	-	7.7	15.8	ns
		$V_{CC} = 4.5\text{ V to }5.5\text{ V}$; see Figure 8				
		$C_L = 15\text{ pF}$	-	3.7	7.7	ns
		$C_L = 50\text{ pF}$	-	5.3	9.7	ns
f_{max}	maximum clock pulse frequency	$V_{CC} = 3.0\text{ V to }3.6\text{ V}$; see Figure 7				
		$C_L = 15\text{ pF}$	80	125	-	MHz
		$C_L = 50\text{ pF}$	50	75	-	MHz
		$V_{CC} = 4.5\text{ V to }5.5\text{ V}$; see Figure 7				
		$C_L = 15\text{ pF}$	130	170	-	MHz
		$C_L = 50\text{ pF}$	90	115	-	MHz
t_W	pulse width					
	clock pulse HIGH or LOW	$C_L = 50\text{ pF}$; see Figure 7				
		$V_{CC} = 3.0\text{ V to }3.6\text{ V}$	6.0	-	-	ns
		$V_{CC} = 4.5\text{ V to }5.5\text{ V}$	5.0	-	-	ns
	set or reset pulse LOW	$C_L = 50\text{ pF}$; see Figure 8				
		$V_{CC} = 3.0\text{ V to }3.6\text{ V}$	6.0	-	-	ns
		$V_{CC} = 4.5\text{ V to }5.5\text{ V}$	5.0	-	-	ns

Hay anchos mínimos de pulso que se deben respetar

Diagramas de tiempo: Salidas vs. reloj



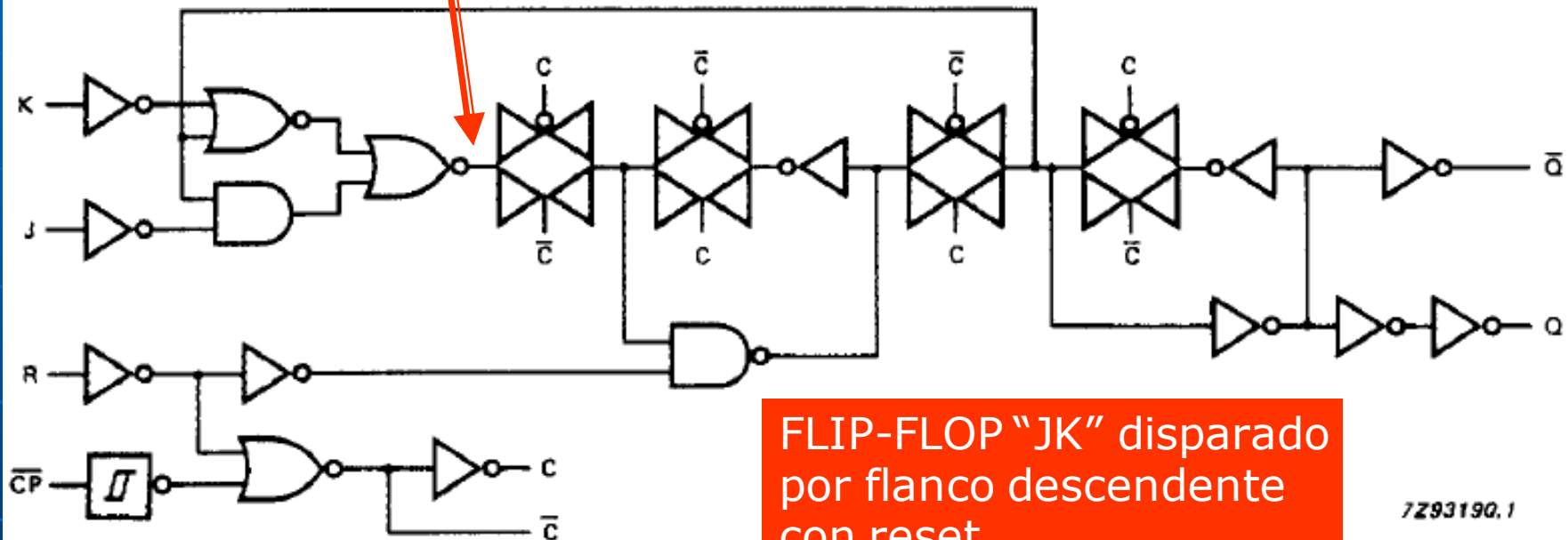
Diagramas de tiempo:
Salidas vs. entradas
asincrónicas



$$P = (\overline{J} \cdot \overline{Q}) + (\overline{K} + \overline{Q})$$

74HC/HCT107

Dual JK flip-flop with reset;
negative-edge trigger



7293190.1

$$\text{Si } J = \overline{K} \Rightarrow P = (\overline{J} \cdot \overline{Q}) + (\overline{J} + \overline{Q}) = (J + Q) \cdot (J + \overline{Q}) = J \text{ (Funciona como "D")}$$

$$\text{Si } J = K \Rightarrow P = (\overline{J} \cdot \overline{Q}) + (\overline{J} + \overline{Q}) = (J + Q) \cdot (\overline{J} + \overline{Q}) = J \oplus Q \text{ (Funciona como "T")}$$

AC CHARACTERISTICS FOR 74HC

GND = 0 V; $t_r = t_f = 6$ ns; $C_L = 50$ pF

SYMBOL	PARAMETER	T _{amb} (°C)							UNIT	TEST CONDITIONS	
		74HC								V _{CC} (V)	WAVEFORMS
		+25			−40 to +85		−40 to +125				
		min.	typ.	max.	min.	max.	min.	max.			
t _{PHL} / t _{PLH}	propagation delay n $\overline{CP}$ to nQ		52 19 15	160 32 27		200 40 34		240 48 41	ns	2.0 4.5 6.0	Fig.6
t _{PHL} / t _{PLH}	propagation delay n $\overline{CP}$ to n $\overline{Q}$		52 19 15	160 32 27		200 40 34		240 48 41	ns	2.0 4.5 6.0	Fig.6
t _{PHL} / t _{PLH}	propagation delay n $\overline{R}$ to nQ, n $\overline{Q}$		52 19 15	155 31 26		195 39 33		235 47 40	ns	2.0 4.5 6.0	Fig.7
t _{THL} / t _{TLH}	output transition time		19 7 6	75 15 13		95 19 16		110 22 19	ns	2.0 4.5 6.0	Fig.6
t _w	clock pulse width HIGH or LOW	80 16 14	22 8 6		100 20 17		120 24 20		ns	2.0 4.5 6.0	Fig.6
t _w	reset pulse width LOW	80 16 14	22 8 6		100 20 17		120 24 20		ns	2.0 4.5 6.0	Fig.7
t _{rem}	removal time n $\overline{R}$ to n $\overline{CP}$	60 12 10	19 7 6		75 15 13		90 18 15		ns	2.0 4.5 6.0	Fig.7
t _{su}	set-up time nJ, nK to n $\overline{CP}$	100 20 17	22 8 6		125 25 21		150 30 26		ns	2.0 4.5 6.0	Fig.6
t _h	hold time nJ, nK to n $\overline{CP}$	3 3 3	−6 −2 −2		3 3 3		3 3 3		ns	2.0 4.5 6.0	Fig.6
f _{max}	maximum clock pulse frequency	6.0 30 35	23 70 85		4.8 24 28		4.0 20 24		MHz	2.0 4.5 6.0	Fig.6

FUNCTION TABLE

OPERATING MODE	INPUTS				OUTPUTS	
	$\overline{nR}$	$\overline{nCP}$	J	K	Q	$\overline{Q}$
asynchronous reset	L	X	X	X	L	H
toggle	H	↓	h	h	$\overline{q}$	q
load "0" (reset)	H	↓	l	h	L	H
load "1" (set)	H	↓	h	l	H	L
hold "no change"	H	↓	l	l	q	$\overline{q}$

Note

1. H = HIGH voltage level
h = HIGH voltage level one set-up time prior to the HIGH-to-LOW CP transition
L = LOW voltage level
l = LOW voltage level one set-up time prior to the HIGH-to-LOW CP transition
q = lower case letters indicate the state of the referenced output one set-up time prior to the HIGH-to-LOW CP transition
X = don't care
↓ = HIGH-to-LOW CP transition

74AC00, 74ACT00

DC ELECTRICAL CHARACTERISTICS FOR AC

Symbol	Parameter	V _{CC} (V)	Conditions	T _A = +25°C		T _A = -40°C to +85°C		Unit
				Typ.	Guaranteed Limits			
V _{IH}	Minimum HIGH Level Input Voltage	3.0	V _{OUT} = 0.1 V or V _{CC} - 0.1 V	1.5	2.1	2.1	V	
		4.5		2.25	3.15	3.15		
		5.5		2.75	3.85	3.85		
V _{IL}	Maximum LOW Level Input Voltage	3.0	V _{OUT} = 0.1 V or V _{CC} - 0.1 V	1.5	0.9	0.9	V	
		4.5		2.25	1.35	1.35		
		5.5		2.75	1.65	1.65		
V _{OH}	Minimum HIGH Level Output Voltage	3.0	I _{OUT} = -50 μA	2.99	2.9	2.9	V	
		4.5		4.49	4.4	4.4		
		5.5		5.49	5.4	-5.4		
		3.0	V _{IN} = V _{IL} or V _{IH} , I _{OH} = -12 mA	-	2.56	2.46		
		4.5	V _{IN} = V _{IL} or V _{IH} , I _{OH} = -24 mA	-	3.86	3.76		
		5.5	V _{IN} = V _{IL} or V _{IH} , I _{OH} = -24 mA (Note 1)	-	4.86	4.76		
V _{OL}	Maximum LOW Level Output Voltage	3.0	I _{OUT} = 50 μA	0.002	0.1	0.1	V	
		4.5		0.001	0.1	0.1		
		5.5		0.001	0.1	0.1		
		3.0	V _{IN} = V _{IL} or V _{IH} , I _{OL} = 12 mA	-	0.36	0.44		
		4.5	V _{IN} = V _{IL} or V _{IH} , I _{OL} = 24 mA	-	0.36	0.44		
		5.5	V _{IN} = V _{IL} or V _{IH} , I _{OL} = 24 mA (Note 1)	-	0.36	0.44		
I _{IN} (Note 3)	Maximum Input Leakage Current	5.5	V _I = V _{CC} , GND	-	±0.1	±1.0	μA	
I _{OLD}	Minimum Dynamic Output Current (Note 2)	5.5	V _{OLD} = 1.65 V Max.	-	-	75	mA	
I _{OHD}		5.5	V _{OHD} = 3.85 V Min.	-	-	-75	mA	
I _{CC} (Note 3)	Maximum Quiescent Supply Current	5.5	V _{IN} = V _{CC} or GND	-	2.0	20.0	μA	

74AC00, 74ACT00

DC ELECTRICAL CHARACTERISTICS FOR ACT

Symbol	Parameter	V _{CC} (V)	Conditions	T _A = +25°C		T _A = -40°C to +85°C		Unit
				Typ.	Guaranteed Limits			
V _{IH}	Minimum HIGH Level Input Voltage	4.5	V _{OUT} = 0.1 V or V _{CC} - 0.1 V	1.5	2.0	2.0		V
		5.5		1.5	2.0	2.0		
V _{IL}	Maximum LOW Level Input Voltage	4.5	V _{OUT} = 0.1 V or V _{CC} - 0.1 V	1.5	0.8	0.8		V
		5.5		1.5	0.8	0.8		
V _{OH}	Minimum HIGH Level Output Voltage	4.5	I _{OUT} = -50 μA	4.49	4.4	4.4		V
		5.5		5.49	5.4	5.4		
		4.5	V _{IN} = V _{IL} or V _{IH} , I _{OH} = -24 mA	-	3.86	3.76		
		5.5	V _{IN} = V _{IL} or V _{IH} , I _{OH} = 24 mA (Note 4)	-	4.86	4.76		
V _{OL}	Maximum LOW Level Output Voltage	4.5	I _{OUT} = 50 μA	0.001	0.1	0.1		V
		5.5		0.001	0.1	0.1		
		4.5	V _{IN} = V _{IL} or V _{IH} , I _{OL} = 24 mA	-	0.36	0.44		
		5.5	V _{IN} = V _{IL} or V _{IH} , I _{OL} = 24 mA (Note 4)	-	0.36	0.44		
I _{IN}	Maximum Input Leakage Current	5.5	V _I = V _{CC} , GND	-	±0.1	±1.0		μA
I _{CCT}	Maximum I _{CC} /Input	5.5	V _I = V _{CC} - 2.1 V	0.6	-	1.5		mA
I _{OLD}	Minimum Dynamic Output Current (Note 5)	5.5	V _{OLD} = 1.65 V Max.	-	-	75		mA
I _{OHD}		5.5	V _{OHD} = 3.85 V Min.	-	-	-75		mA
I _{CC}	Maximum Quiescent Supply Current	5.5	V _{IN} = V _{CC} or GND	-	2.0	20.0		μA

74AC04, 74ACT04

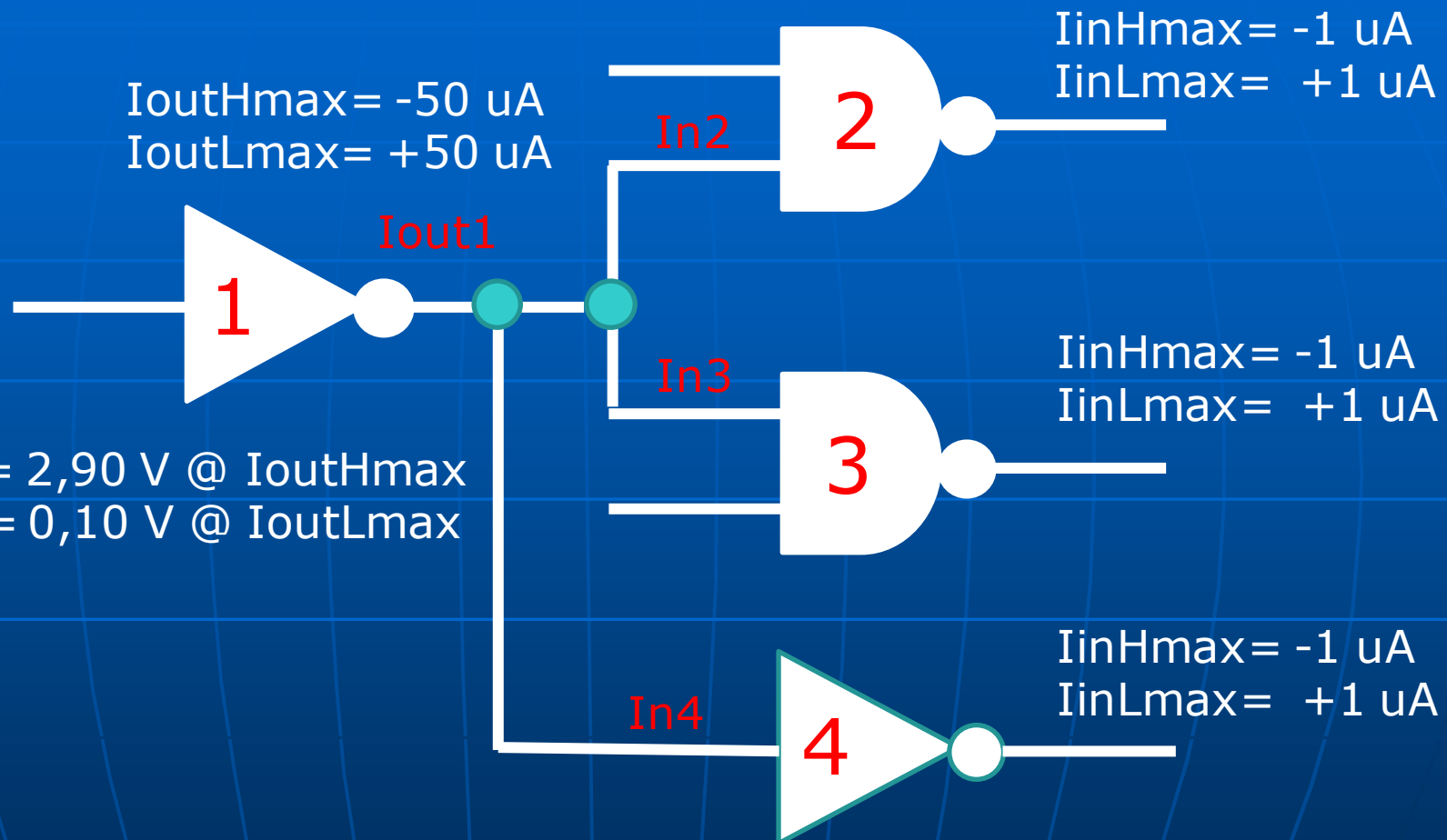
DC ELECTRICAL CHARACTERISTICS FOR AC

Symbol	Parameter	V _{CC} (V)	Conditions	T _A = +25°C		T _A = -40°C to +85°C		Unit
				Typ	Guaranteed Limits			
V _{IH}	Minimum HIGH Level Input Voltage	3.0	V _{OUT} = 0.1 V or V _{CC} - 0.1 V	1.5	2.1	2.1		V
		4.5		2.25	3.15	3.15		
		5.5		2.75	3.85	3.85		
V _{IL}	Maximum LOW Level Input Voltage	3.0	V _{OUT} = 0.1 V or V _{CC} - 0.1 V	1.5	0.9	0.9		V
		4.5		2.25	1.35	1.35		
		5.5		2.75	1.65	1.65		
V _{OH}	Minimum HIGH Level Output Voltage	3.0	I _{OUT} = -50 μA	2.99	2.9	2.9		V
		4.5		4.49	4.4	4.4		
		5.5		5.49	5.4	5.4		
		3.0	V _{IN} = V _{IL} or V _{IH} , I _{OH} = -12 mA	-	2.56	2.46		
		4.5	I _{OH} = -24 mA	-	3.86	3.76		
		5.5	I _{OH} = -24 mA (Note 1)	-	4.86	4.76		
V _{OL}	Maximum LOW Level Output Voltage	3.0	I _{OUT} = 50 μA	0.002	0.1	0.1		V
		4.5		0.001	0.1	0.1		
		5.5		0.001	0.1	0.1		
		3.0	V _{IN} = V _{IL} or V _{IH} , I _{OL} = 12 mA	-	0.36	0.44		
		4.5	I _{OL} = 24 mA	-	0.36	0.44		
		5.5	I _{OL} = 24 mA (Note 1)	-	0.36	0.44		
I _{IN} (Note 3)	Maximum Input Leakage Current	5.5	V _I = V _{CC} , GND	-	±0.1	±1.0		μA
I _{OLD}	Minimum Dynamic Output Current (Note 2)	5.5	V _{OLD} = 1.65 V Max.	-	-	75		mA
I _{OHD}		5.5	V _{OHD} = 3.85 V Min.	-	-	-75		mA
I _{CC} (Note 3)	Maximum Quiescent Supply Current	5.5	V _{IN} = V _{CC} or GND	-	2.0	20.0		μA

74AC04, 74ACT04

DC ELECTRICAL CHARACTERISTICS FOR ACT

Symbol	Parameter	V _{CC} (V)	Conditions	T _A = +25°C		T _A = -40°C to +85°C		Unit
				Typ	Guaranteed Limits			
V _{IH}	Minimum HIGH Level Input Voltage	4.5	V _{OUT} = 0.1 V or V _{CC} - 0.1 V	1.5	2.0	2.0		V
		5.5		1.5	2.0	2.0		
V _{IL}	Maximum LOW Level Input Voltage	4.5	V _{OUT} = 0.1 V or V _{CC} - 0.1 V	1.5	0.8	0.8		V
		5.5		1.5	0.8	0.8		
V _{OH}	Minimum HIGH Level Output Voltage	4.5	I _{OUT} = -50 μA	4.49	4.4	4.4		V
		5.5		5.49	5.4	5.4		
		4.5	V _{IN} = V _{IL} or V _{IH} I _{OH} = -24 mA	-	3.86	3.76		
		5.5	I _{OH} = -24 mA (Note 4)	-	4.86	4.76		
V _{OL}	Maximum LOW Level Output Voltage	4.5	I _{OUT} = 50 μA	0.001	0.1	0.1		V
		5.5		0.001	0.1	0.1		
		4.5	V _{IN} = V _{IL} or V _{IH} I _{OL} = 24 mA	-	0.36	0.44		
		5.5	I _{OL} = 24 mA (Note 4)	-	0.36	0.44		
I _{IN}	Maximum Input Leakage Current	5.5	V _I = V _{CC} , GND	-	±0.1	±1.0		μA
I _{CCT}	Maximum I _{CC} /Input	5.5	V _I = V _{CC} - 2.1 V	0.6	-	1.5		mA
I _{OLD}	Minimum Dynamic Output Current (Note 5)	5.5	V _{OLD} = 1.65 V Max.	-	-	75		mA
I _{OHD}		5.5	V _{OHD} = 3.85 V Min.	-	-	-75		mA
I _{CC}	Maximum Quiescent Supply Current	5.5	V _{IN} = V _{CC} or GND	-	4.0	40.0		μA

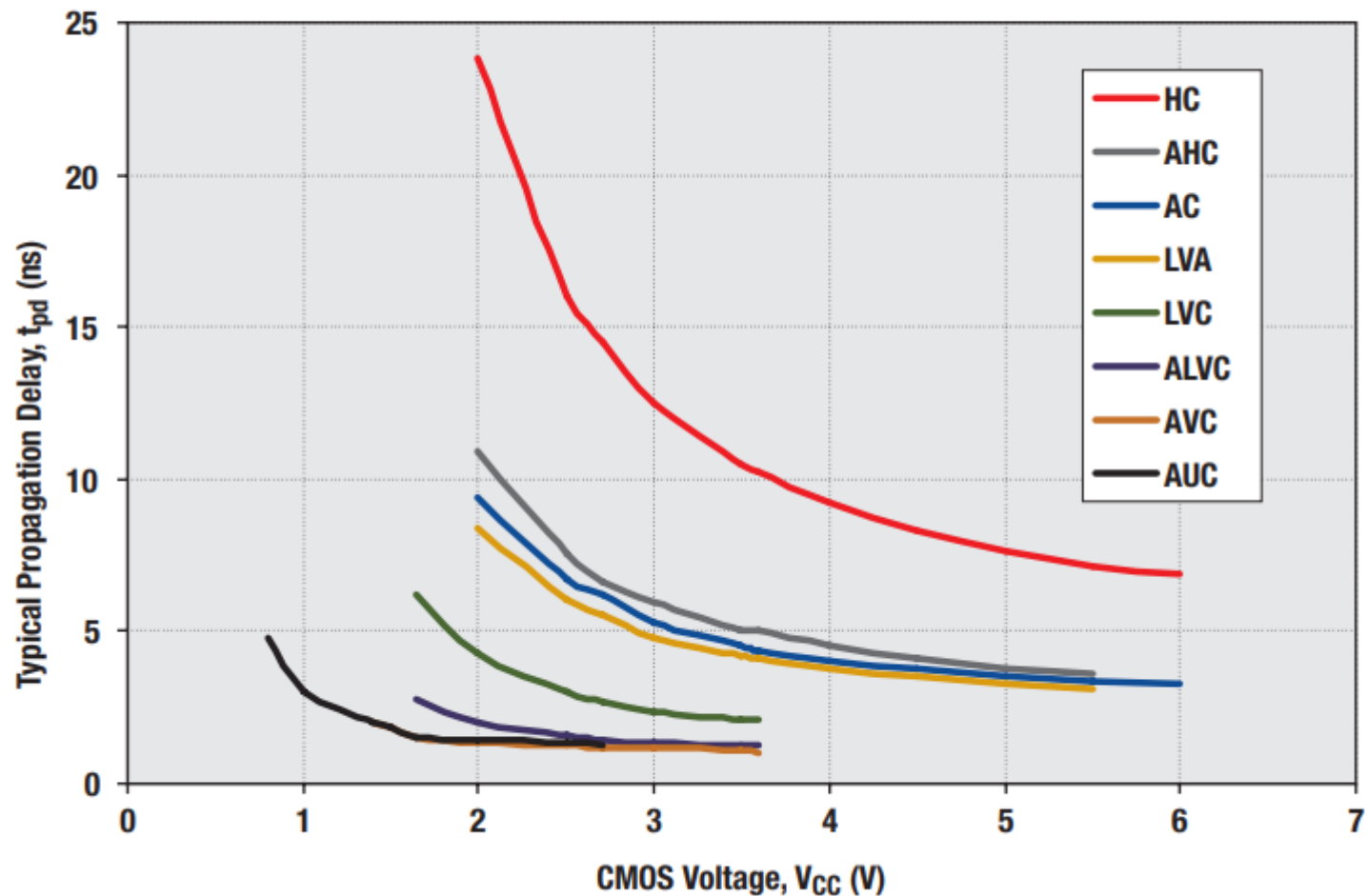
$V_{dd} = 3.0 \text{ V}$ 

$$I_{out1Hmax} > I_{in2Hmax} + I_{in3Hmax} + I_{in4Hmax} = 3 \text{ uA}$$

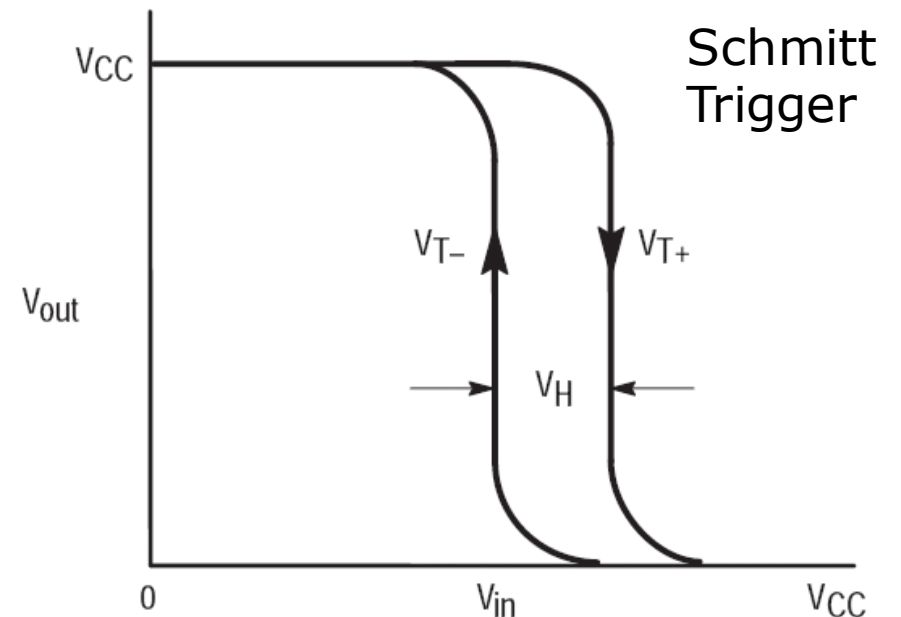
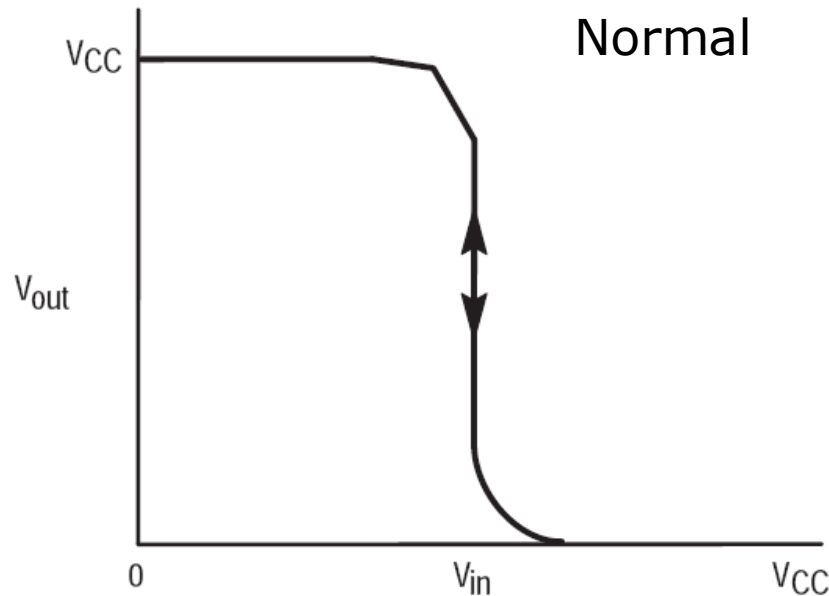
$$I_{out1Lmax} > I_{in2Lmax} + I_{in3Lmax} + I_{in4Lmax} = 3 \text{ uA}$$

Comparación de velocidad vs. tensión de alimentación (Vdd)

CMOS Voltage vs. Speed



Función de transferencia compuertas Schmitt-Trigger

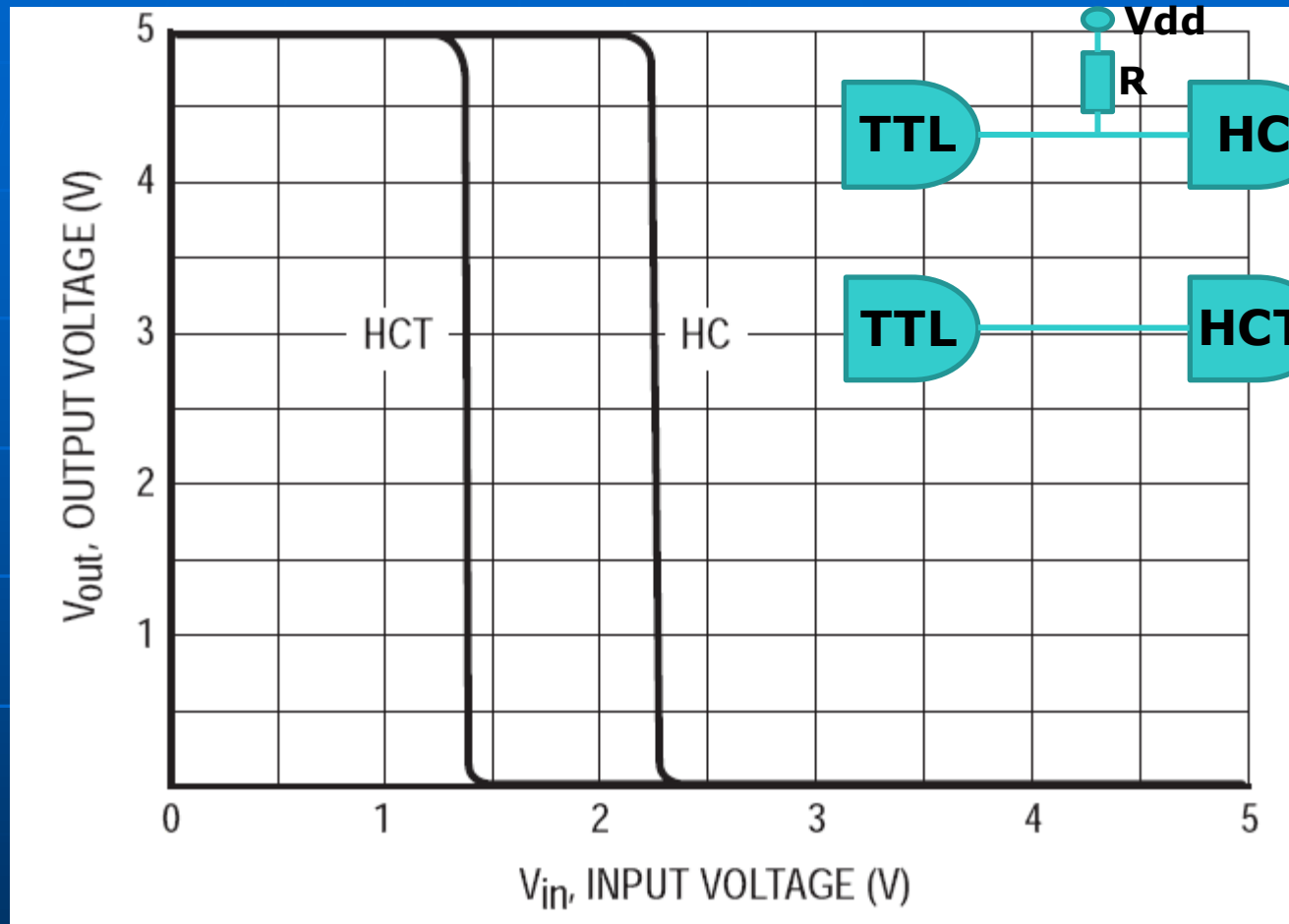


A diferencia de un circuito de entrada normal, en Schmitt trigger existen dos umbrales de tensión. Esto permite mayor inmunidad al ruido al existir una histéresis (V_H) y suele utilizarse en casos donde por ejemplo se quiera detectar una señal de reloj que pueda contener ruido.

Si por ejemplo la señal de entrada es "0", la salida vale V_{CC} . Debe superar V_{T+} para que la salida cambie a "0".

Y si estando la entrada en "1" se requiere que la salida pase nuevamente a "1", deberá bajar por debajo de V_{T-} .

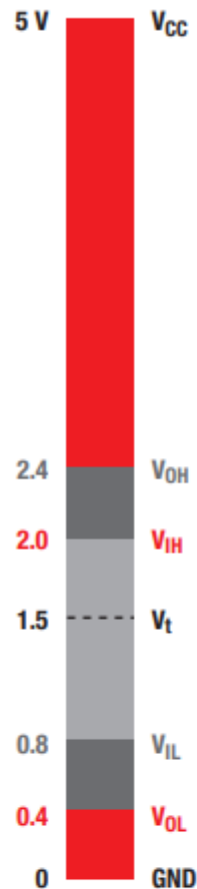
Función de transferencia series HC y HCT



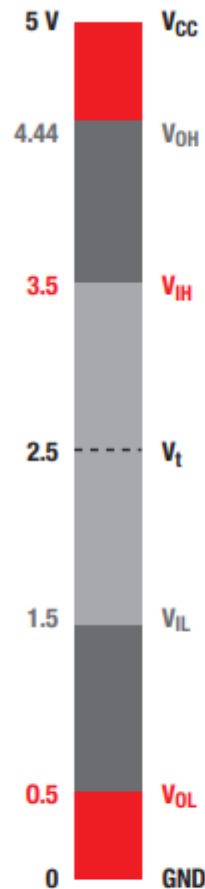
HCT es una versión CMOS que compatibiliza los niveles de tensiones de entrada como TTL, lo que permite conectar a una salida TTL una entrada CMOS 74HCT de igual tensión de alimentación.

Familias Lógicas

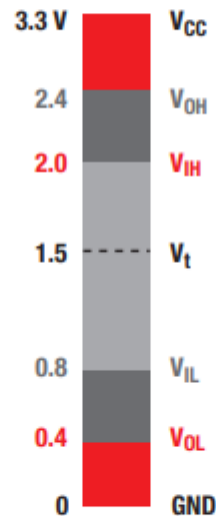
Rango de tensiones de operación



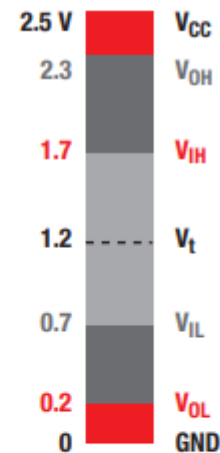
5-V TTL
Standard TTL: ABT, AHCT, HCT, ACT, bipolar, LV1T, LV4T



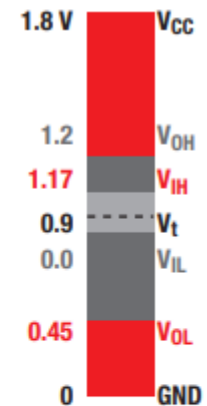
5-V CMOS
Rail-to-Rail 5 V HC, AHC, AC, LV-A, LV1T, LV4T



3.3-V LVTTTL
LVT, LV1T, LV4T, LVC, ALVC, AUP, LV-A, ALVT



2.5-V CMOS
AUC, AUP, AVC, ALVC, LVC, ALVT, LV1T, LV4T



1.8-V CMOS
AUC, AUP, AVC, ALVC, LVC, LV1T, LV4T

Tecnología ECL

Tecnología ECL

Ventaja: Velocidad y margen de ruido

Desventaja: Fuente negativa de tensión (-5.2V) y elevado Consumo.

Tecnología PECL

Ventaja: Fuente positiva (desplazada a +5V).

Mantiene características de ECL (swing de 800mV)

Tecnología LVPECL

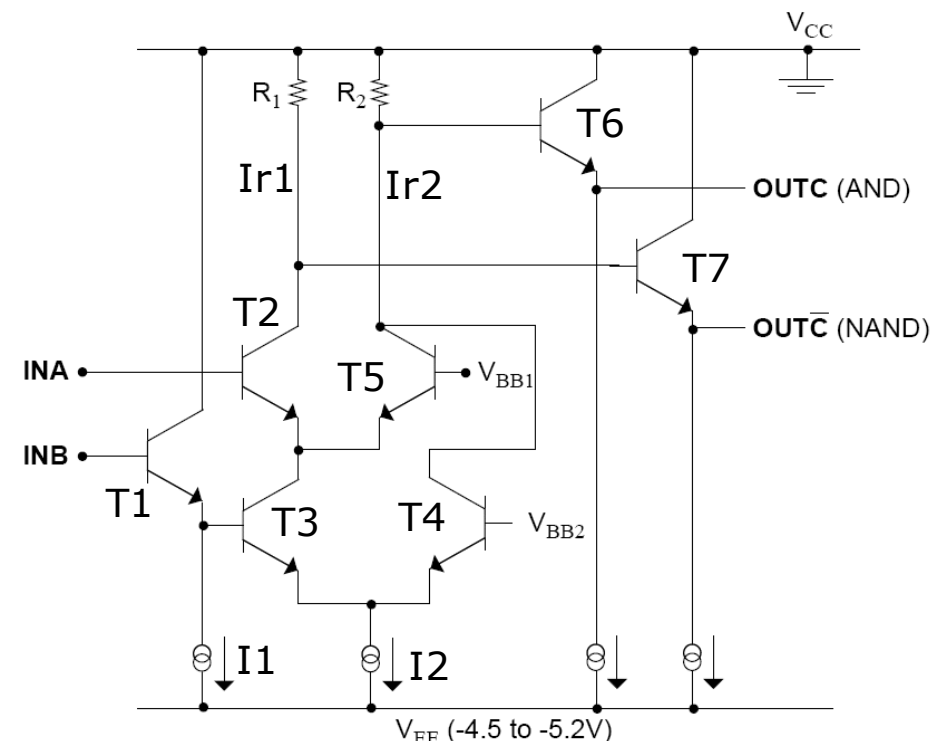
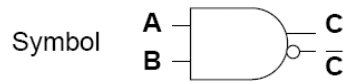
Ventaja: Fuente de +3.3V. Mejora la velocidad de respuesta.

Suele emplearse en el diseño de componentes no muy complejos por su excesivo consumo, por ejemplo en drivers y receptores de comunicaciones seriales en velocidades que superan los 10Gbps (ejemplo en enlaces de fibras ópticas).

Para enlaces de muy alta velocidad es una opción mas viable que LVDS ("Low Voltage Differential Signaling" que usa tecnología CMOS) y similar a CML ("Current Mode Logic" que usa tecnología BIPOLAR-CMOS).

Tecnología ECL

Compuerta AND-NAND en ECL



Todos los transistores en un circuito ECL trabajan en zona ACTIVA.

Las entradas INA e INAB presentan un "1" si están más cerca de $V_{cc}=0V$ (ej. $-1,0 V$) y un "0" si están cerca de $V_{ee}=-5V$ (ej. $-1,6V$). T4 y T5 están polarizados en directa.

El generador de corriente I2 se encarga de mantener constante la corriente que circula por T3 y T4.

T2 y T3 están formando una rama y dependen de las tensiones de sus bases que son las entradas de la compuerta.

Si las tensiones INA e INB respecto de Vee suben ambas lo suficiente, haciendo que Ir1 sea alta, lograrán aumentar la caída de tensión en R1. Así mismo como $I2=Ir1+Ir2$, la caída sobre R2 disminuirá.

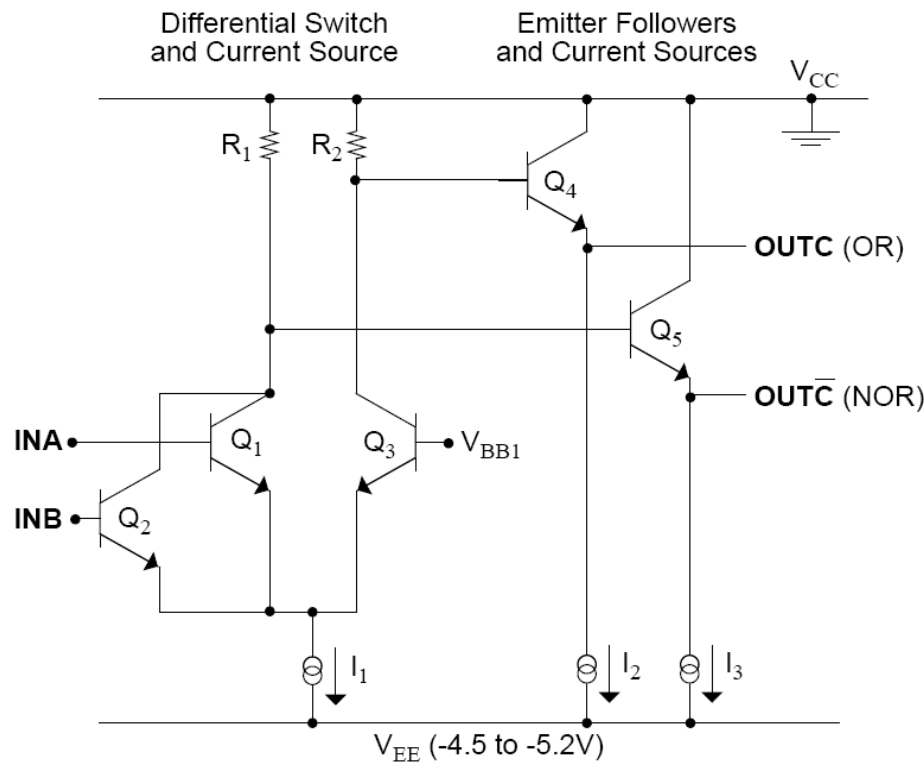
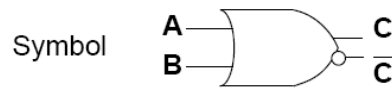
El efecto es que el emisor de T6 subirá respecto de Vee y el emisor de T7 bajará hacia Vee, trabajando ambas salidas siempre en contrafase.

Se ajusta todo para que sólo cuando ambas entradas están cerca de Vcc, T7 por ejemplo baje a un nivel que se pueda considerar como "0" y cuando ambas están cerca de Vee, lo opuesto. Entonces funcionaría como una NAND.

T6 hace lo puestro, por lo que generaría una salida AND entre INA e INB.

Tecnología ECL

Compuerta OR-NOR en ECL



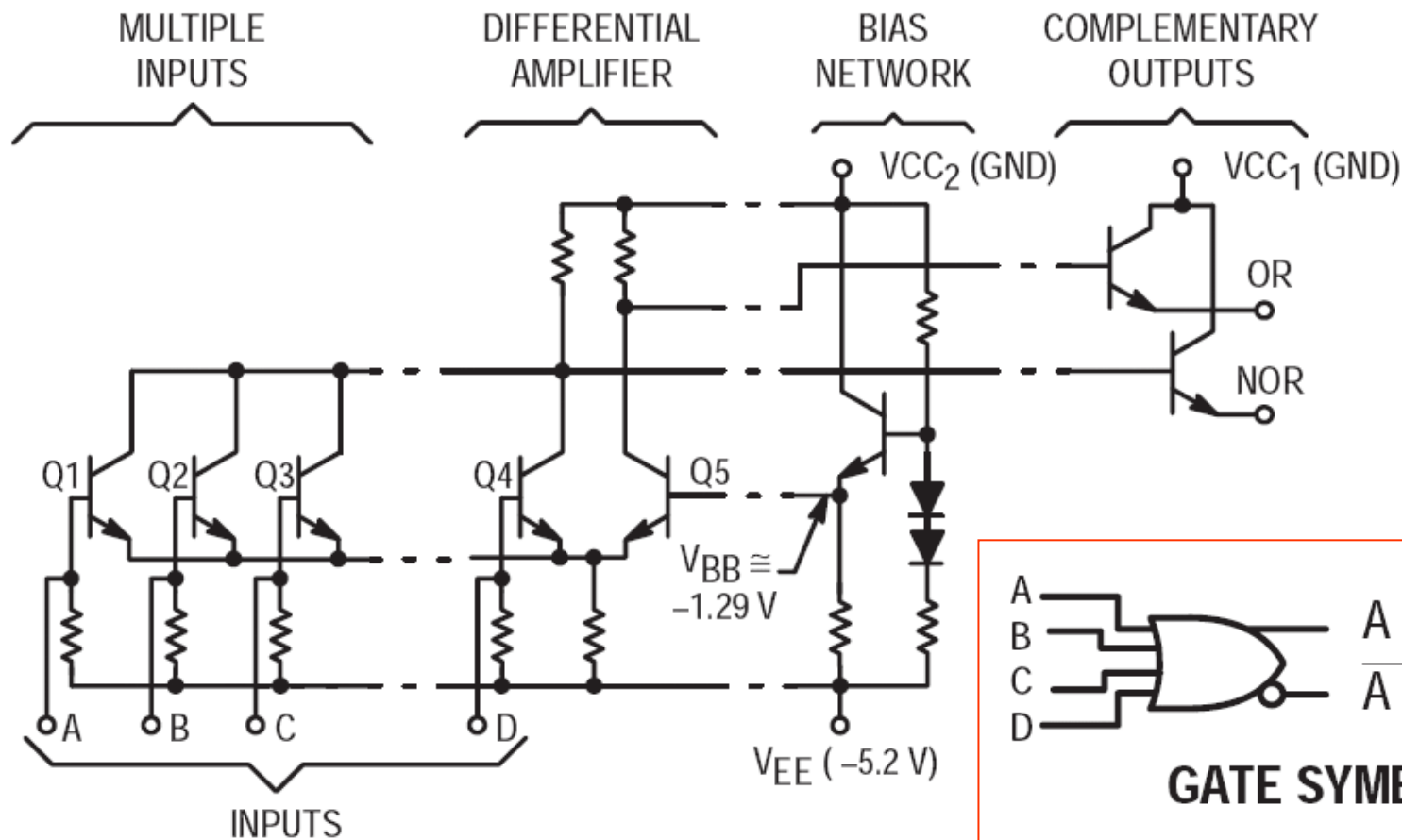
Aquí INA e INB alimentan a la base de dos transistores en paralelo.

La suma de las corrientes de la rama de Q3 y la rama Q1-Q2 es constante e igual a I_1 . Se ajusta el circuito para que cuando INA ó INB, o ambas entradas estén cerca de V_{CC} , la caída en R1 sea tal que de un nivel de tensión que pueda ser interpretado como "0" (mas cerca de Vee).

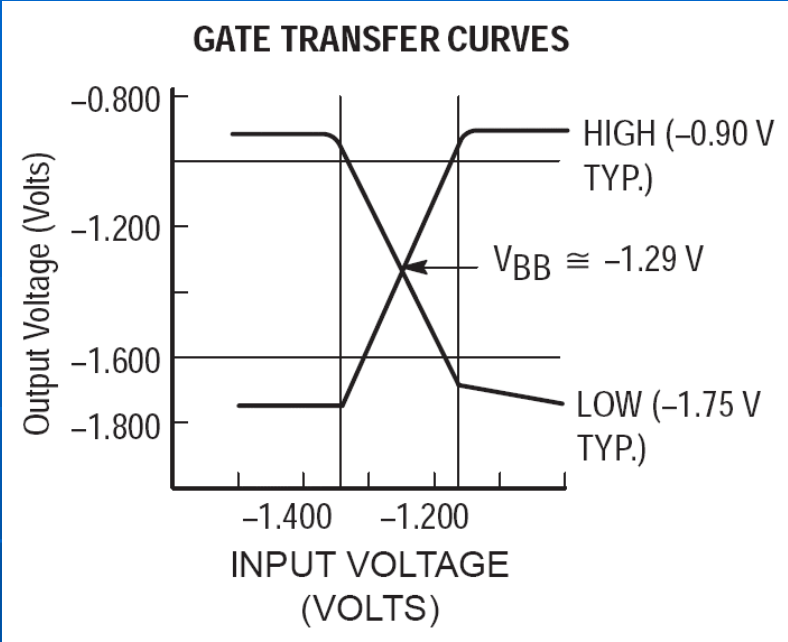
El emisor de Q5 sigue ese mismo cambio. Lo contrario pasa con la salida por R2 donde el emisor de Q4 sigue a la caída de R2. Si ambas entradas están a un nivel de tensión mas cerca de Vee, aumentará la tensión de base de Q5 y bajará la de Q4. El efecto es el de generar una OR por Q4 y la negación por Q5.

Ejemplo de compuerta OR-NOR de 4 entradas ECL serie 10K

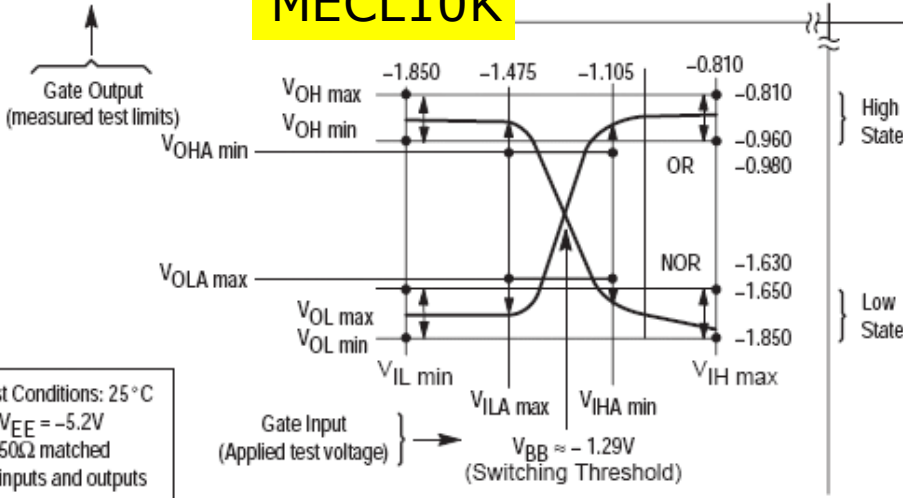
GATE CIRCUIT



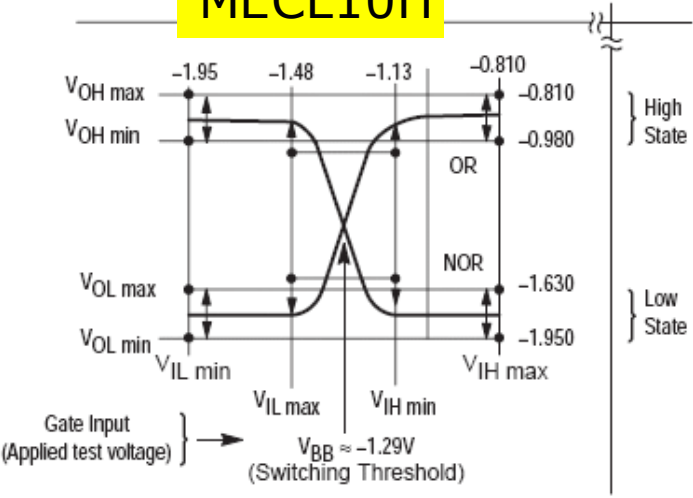
Función de transferencia general de ECL



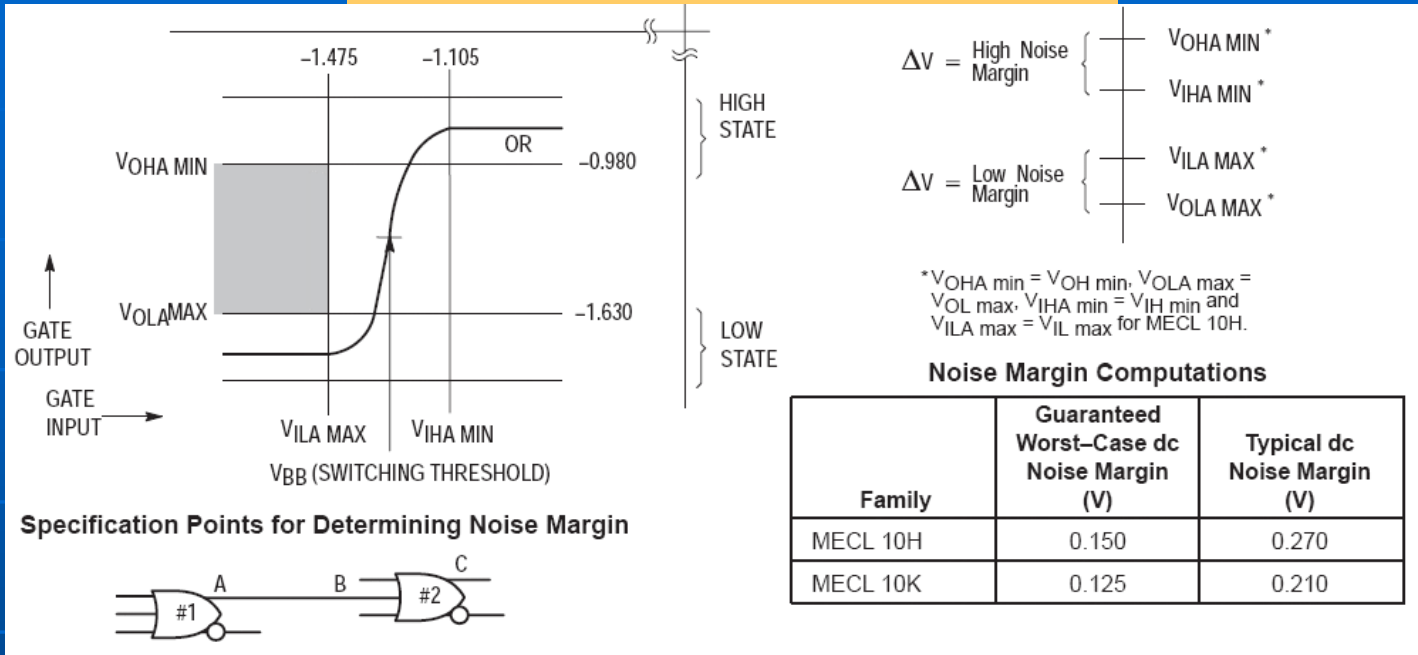
MECL10K



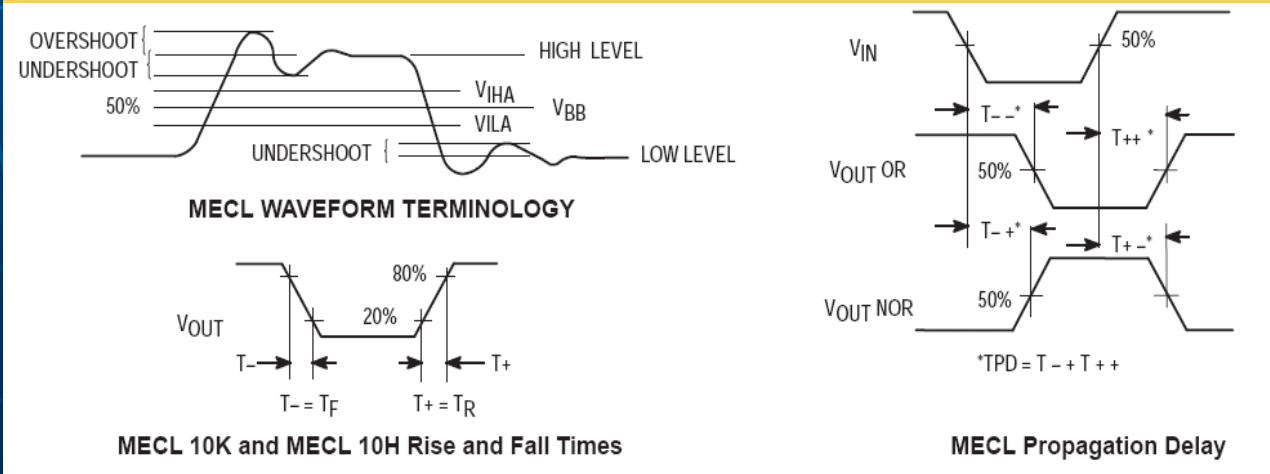
MECL10H



Márgenes de ruido para MECL10K/10H



Formas de onda típicas encontradas en señales de alta velocidad



Familias Lógicas

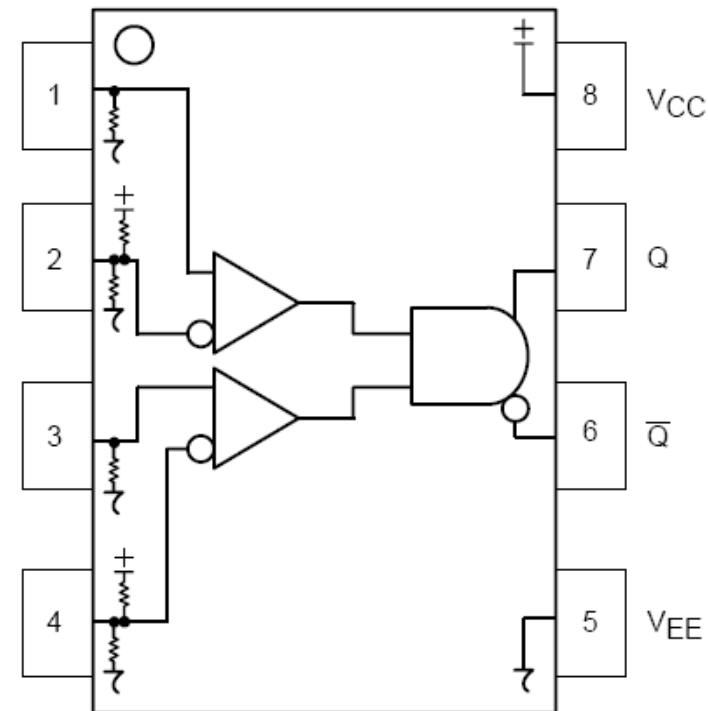
Compuerta AND-NAND ECL
modelos MC10EP/100EP**MC10EP05, MC100EP05****3.3V / 5V ECL 2-Input
Differential AND/NAND**

The MC10/100EP05 is a 2-input differential AND/NAND gate. The device is functionally equivalent to the EL05 and LVEL05 devices. With AC performance much faster than the LVEL05 device, the EP05 is ideal for applications requiring the fastest AC performance available.

The 100 Series contains temperature compensation.

- 220 ps Typical Propagation Delay
- Maximum Frequency > 3 GHz Typical
- PECL Mode Operating Range: $V_{CC} = 3.0\text{ V}$ to 5.5 V with $V_{EE} = 0\text{ V}$
- NECL Mode Operating Range: $V_{CC} = 0\text{ V}$ with $V_{EE} = -3.0\text{ V}$ to -5.5 V
- Open Input Default State
- Safety Clamp on Inputs
- Q Output Will Default LOW with Inputs Open or at V_{EE}

Puede funcionar como PECL...!



MC10EP05, MC100EP05**AND-NAND DIFERENCIAL****3.3V / 5V ECL 2-Input
Differential AND/NAND****100EP DC CHARACTERISTICS, PECL** $V_{CC} = 3.3\text{ V}$, $V_{EE} = 0\text{ V}$ (Note 12)

Symbol	Characteristic	-40°C			25°C			85°C			Unit
		Min	Typ	Max	Min	Typ	Max	Min	Typ	Max	
I_{EE}	Power Supply Current	15	25	32	17	27	36	19	28	38	mA
V_{OH}	Output HIGH Voltage (Note 13)	2155	2280	2405	2155	2280	2405	2155	2280	2405	mV
V_{OL}	Output LOW Voltage (Note 13)	1355	1480	1605	1355	1480	1605	1355	1480	1605	mV
V_{IH}	Input HIGH Voltage (Single Ended)	2075		2420	2075		2420	2075		2420	mV
V_{IL}	Input LOW Voltage (Single Ended)	1355		1675	1355		1675	1355		1675	mV
V_{IHCMR}	Input HIGH Voltage Common Mode Range (Differential) (Note 14)	2.0		3.3	2.0		3.3	2.0		3.3	V
I_{IH}	Input HIGH Current			150			150			150	μA
I_{IL}	Input LOW Current	D 0.5 D			0.5 -150			0.5 -150			μA

NOTE: EP circuits are designed to meet the DC specifications shown in the above table after thermal equilibrium has been established. The circuit is in a test socket or mounted on a printed circuit board and transverse airflow greater than 500 lfm is maintained.

12. Input and output parameters vary 1:1 with V_{CC} . V_{EE} can vary +0.3 V to -2.2 V.

13. All loading with 50 ohms to V_{CC} -2.0 volts.

14. V_{IHCMR} min varies 1:1 with V_{EE} , V_{IHCMR} max varies 1:1 with V_{CC} . The V_{IHCMR} range is referenced to the most positive side of the differential input signal.

ALIMENTACIÓN POSITIVA DE 3,3 V

MC10EP05, MC100EP05**AND-NAND DIFERENCIAL****3.3V / 5V ECL 2-Input
Differential AND/NAND****100EP DC CHARACTERISTICS, PECL** $V_{CC} = 5.0 \text{ V}$, $V_{EE} = 0 \text{ V}$ (Note 15)

Symbol	Characteristic	-40°C			25°C			85°C			Unit
		Min	Typ	Max	Min	Typ	Max	Min	Typ	Max	
I_{EE}	Power Supply Current	15	25	32	17	27	36	19	28	38	mA
V_{OH}	Output HIGH Voltage (Note 16)	3855	3980	4105	3855	3980	4105	3855	3980	4105	mV
V_{OL}	Output LOW Voltage (Note 16)	3055	3180	3305	3055	3180	3305	3055	3180	3305	mV
V_{IH}	Input HIGH Voltage (Single Ended)	3775		4120	3775		4120	3775		4120	mV
V_{IL}	Input LOW Voltage (Single Ended)	3055		3375	3055		3375	3055		3375	mV
V_{IHCMR}	Input HIGH Voltage Common Mode Range (Differential) (Note 17)	2.0		5.0	2.0		5.0	2.0		5.0	V
I_{IH}	Input HIGH Current			150			150			150	μA
I_{IL}	Input LOW Current	$\frac{D}{\bar{D}}$ 0.5 -150			0.5 -150			0.5 -150			μA

NOTE: EP circuits are designed to meet the DC specifications shown in the above table after thermal equilibrium has been established. The circuit is in a test socket or mounted on a printed circuit board and transverse airflow greater than 500 lfm is maintained.

15. Input and output parameters vary 1:1 with V_{CC} . V_{EE} can vary +2.0 V to -0.5 V.

16. All loading with 50 ohms to V_{CC} -2.0 volts.

17. V_{IHCMR} min varies 1:1 with V_{EE} , V_{IHCMR} max varies 1:1 with V_{CC} . The V_{IHCMR} range is referenced to the most positive side of the differential input signal.

ALIMENTACIÓN POSITIVA DE 5,0 V

MC10EP05, MC100EP05**AND-NAND DIFERENCIAL****3.3V / 5V ECL 2-Input
Differential AND/NAND****100EP DC CHARACTERISTICS, NECL** $V_{CC} = 0\text{ V}$, $V_{EE} = -5.5\text{ V to } -3.0\text{ V}$ (Note 18)

Symbol	Characteristic	-40°C			25°C			85°C			Unit
		Min	Typ	Max	Min	Typ	Max	Min	Typ	Max	
I_{EE}	Power Supply Current	15	25	32	17	27	36	19	28	38	mA
V_{OH}	Output HIGH Voltage (Note 19)	-1 145	-1020	-895	-1 145	-1020	-895	-1 145	-1020	-895	mV
V_{OL}	Output LOW Voltage (Note 19)	-1945	-1820	-1695	-1945	-1820	-1695	-1945	-1820	-1695	mV
V_{IH}	Input HIGH Voltage (Single Ended)	-1225		-880	-1225		-880	-1225		-880	mV
V_{IL}	Input LOW Voltage (Single Ended)	-1945		-1625	-1945		-1625	-1945		-1625	mV
V_{IHCMR}	Input HIGH Voltage Common Mode Range (Differential) (Note 20)	$V_{EE}+2.0$		0.0	$V_{EE}+2.0$		0.0	$V_{EE}+2.0$		0.0	V
I_{IH}	Input HIGH Current			150			150			150	μA
I_{IL}	Input LOW Current	D	0.5		D	0.5		D	0.5		μA
		$\bar{D}$	-150		$\bar{D}$	-150		$\bar{D}$	-150		

NOTE: EP circuits are designed to meet the DC specifications shown in the above table after thermal equilibrium has been established. The circuit is in a test socket or mounted on a printed circuit board and transverse airflow greater than 500 lfm is maintained.

18. Input and output parameters vary 1:1 with V_{CC} .

19. All loading with 50 ohms to $V_{CC}-2.0$ volts.

20. V_{IHCMR} min varies 1:1 with V_{EE} , V_{IHCMR} max varies 1:1 with V_{CC} . The V_{IHCMR} range is referenced to the most positive side of the differential input signal.

ALIMENTACIÓN NEGATIVA DE 5,0 V

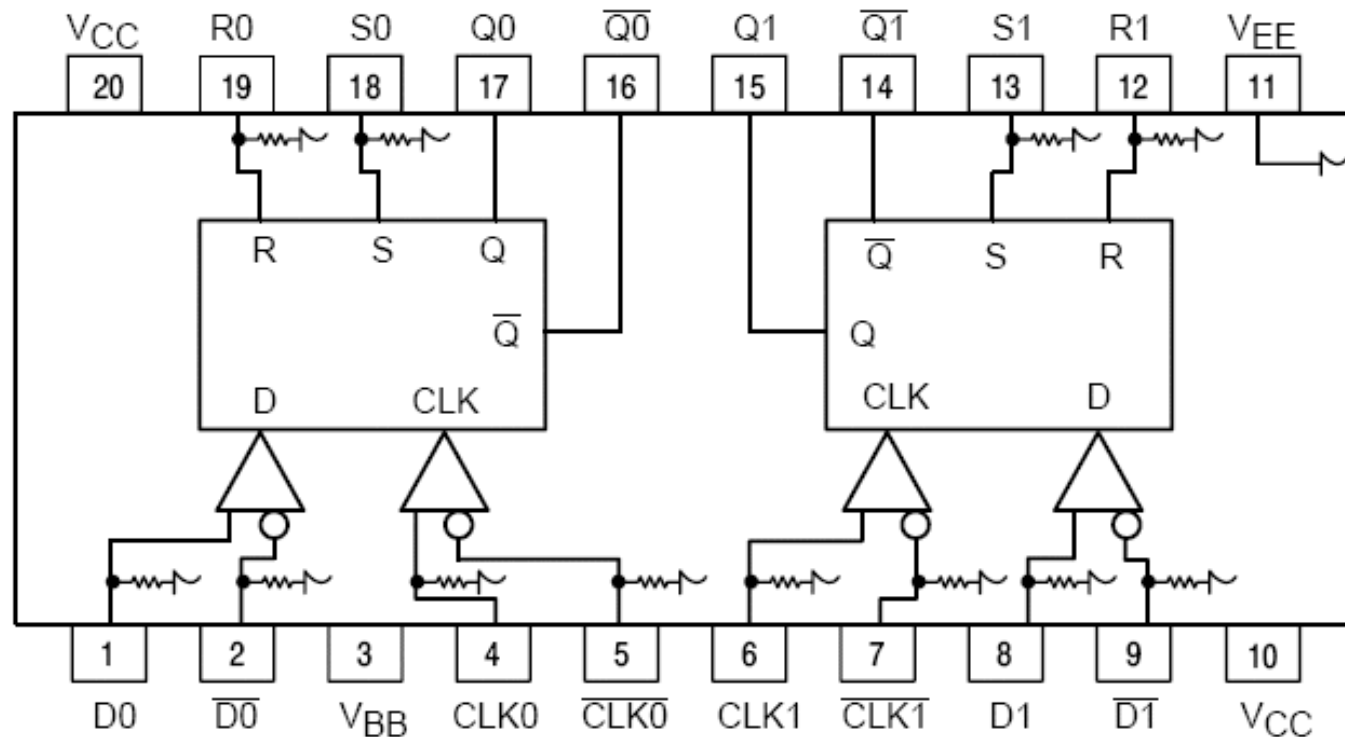
MC10EP05, MC100EP05**3.3V / 5V ECL 2-Input
Differential AND/NAND****AC CHARACTERISTICS** $V_{CC} = 0\text{ V}$; $V_{EE} = -3.0\text{ V}$ to -5.5 V or $V_{CC} = 3.0\text{ V}$ to 5.5 V ; $V_{EE} = 0\text{ V}$ (Note 21)

Symbol	Characteristic	-40 °C			25°C			85°C			Unit
		Min	Typ	Max	Min	Typ	Max	Min	Typ	Max	
$f_{\max}$	Maximum Frequency (See Figure 2. $F_{\max}/\text{JITTER}$)		> 3			> 3			> 3		GHz
t_{PLH} , t_{PHL}	Propagation Delay to Output Differential	160	210	260	170	220	270	210	260	320	ps
t_{JITTER}	Cycle-to-Cycle Jitter (See Figure 2. $F_{\max}/\text{JITTER}$)		0.2	< 1		0.2	< 1		0.2	< 1	ps
V_{PP}	Input Voltage Swing (Differential)	150	800	1200	150	800	1200	150	800	1200	mV
t_r t_f	Output Rise/Fall Times (20% - 80%) Q	70	120	170	80	130	180	100	150	200	ps

21. Measured using a 750 mV source, 50% duty cycle clock source. All loading with 50 ohms to $V_{CC}-2.0\text{ V}$.

Flip-Flop tipo D ECL
modelos MC10EP/100EP

3.3V / 5V ECL Dual Differential Data and Clock D Flip-Flop With Set and Reset



Warning: All VCC and VEE pins must be externally connected to Power Supply to guarantee proper operation.

Flip-Flop tipo "D" ECL modelos MC10EP/100EP

MC10EP29, MC100EP29

3.3V / 5V ECL Dual Differential Data and Clock D Flip-Flop With Set and Reset

AC CHARACTERISTICS $V_{CC} = 0\text{ V}$; $V_{EE} = -3.0\text{ V to }-5.5\text{ V}$ or $V_{CC} = 3.0\text{ V to }5.5\text{ V}$; $V_{EE} = 0\text{ V}$ (Note 21)

Symbol	Characteristic	-40 °C			25 °C			85 °C			Unit
		Min	Typ	Max	Min	Typ	Max	Min	Typ	Max	
f_{max}	Maximum Frequency (See Figure 5 $F_{\text{max}}/\text{JITTER}$)		> 3.0			> 3.0			> 3.0		GHz
t_{PLH} , t_{PHL}	Propagation Delay to Output Differential										ps
	CLK	300	380	450	350	420	500	400	470	550	
	S	275	380	475	300	400	500	350	450	550	
	R	300	400	500	325	420	525	375	470	575	
t_{S}	Setup Time	100	20		100	20		100	20		ps
t_{H}	Hold Time	100	20		100	20		100	20		ps
$t_{\text{RR}}/t_{\text{RR2}}$	Set/Reset Recovery	150	80		150	80		150	80		ps
t_{PW}	Minimum Pulse Width										ps
	Set, Reset	500	300		500	300		500	300		ps
t_{JITTER}	Cycle-to-Cycle Jitter (See Figure 5 $F_{\text{max}}/\text{JITTER}$)		.2	< 1		.2	< 1		.2	< 1	ps
V_{PP}	Input Voltage Swing (Note 22)	150	800	1200	150	800	1200	150	800	1200	mV
t_{r} , t_{f}	Output Rise/Fall Times (20% - 80%)										ps
	Q, $\bar{Q}$	100	180	250	150	210	300	175	230	325	

21. Measured using a 750 mV source, 50% duty cycle clock source. All loading with 50 Ω to $V_{CC}-2.0\text{ V}$.

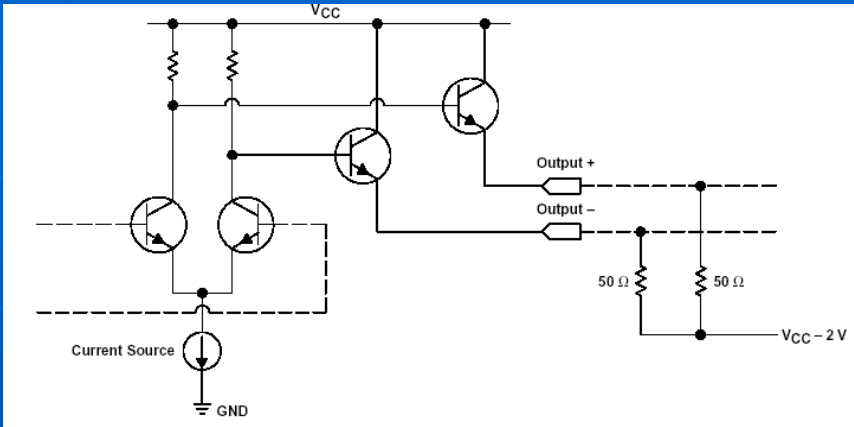
22. $V_{\text{pp}}(\text{min})$ is the minimum input swing for which AC parameters are guaranteed.

AC CHARACTERISTICS $V_{EE} = -3.0\text{ V to }-5.5\text{ V}$; $V_{CC} = 0\text{ V}$ or $V_{CC} = 3.0\text{ V to }5.5\text{ V}$; $V_{EE} = 0\text{ V}$ (Note 25)

Symbol	Characteristic	-40 °C			25 °C			85 °C			Unit
		Min	Typ	Max	Min	Typ	Max	Min	Typ	Max	
f_{COUNT}	Maximum Frequency										GHz
	Q, $\bar{Q}$		> 1			> 1			> 1		
	COUT/COUT		> 800			> 800			> 800		MHz
t_{PLH}	Propagation Delay (10)	300	460	600	350	500	650	400	560	700	ps
t_{PHL}	MR to Q	300	400	500	400	500	600	450	580	700	
	(10) CLK to $\bar{Q}$	350	420	550	400	500	600	400	550	700	
	(10) MR to $\bar{Q}$	250	350	450	350	450	550	400	510	600	
	(10) CLK to COUT	400	470	650	450	550	700	450	600	800	
	(10) MR to COUT	300	400	550	400	500	650	450	560	700	
	(100) CLK to Q	350	500	650	400	550	700	480	630	780	
	(100) MR to Q	400	550	700	450	590	750	520	670	820	
	(100) CLK to $\bar{Q}$	350	500	650	400	550	700	480	630	780	
	(100) MR to $\bar{Q}$	400	550	700	450	590	750	520	670	820	
	(100) CLK to COUT	400	550	750	450	600	800	530	680	880	
	(100) MR to COUT	450	600	800	500	640	850	570	720	920	

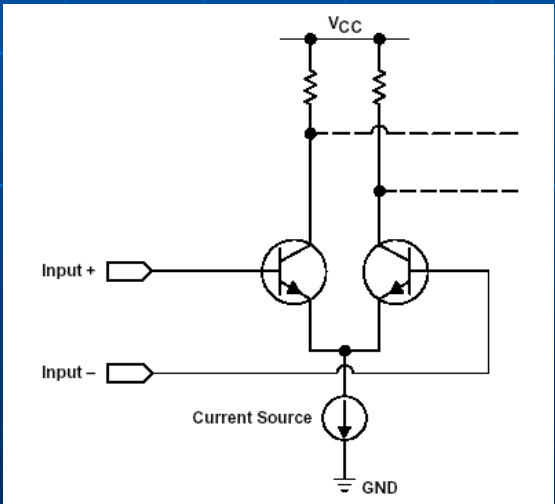
Contador binario sincrónico ECL MC10EP016/100EP016

Tecnología ECL: Resumen de características



Etapa de salida LVPECL

Salida diferencial seguidor por emisor trabajando en zona activa.
Permite tiempos de switching muy bajos a costa de un consumo permanente de corriente típico de 14 mA por las resistencias de Terminación de 50 Ω. Impedancia de los seguidores es muy baja (4-5 Ω) por lo que hay que tener cuidado cuando se trabaja con líneas de transmisión por posibles desadaptaciones.



Etapa de entrada LVPECL

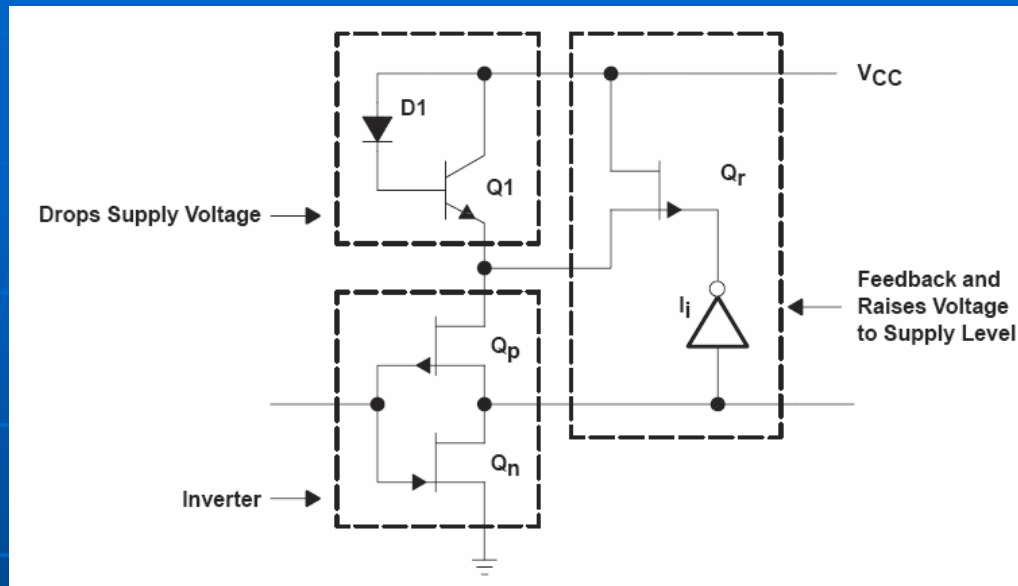
Entrada diferencial de alta impedancia.
Se requiere levantar la tensión de las entradas con resistencias de pull-up a una tensión de $V_{CC} - 1,3\text{ V}$ a fin de proveer una tensión de modo común de 2,0 V (para el caso en que V_{CC} sea de +3,3V).

Especificaciones LVPECL de Tensiones de entrada y salida

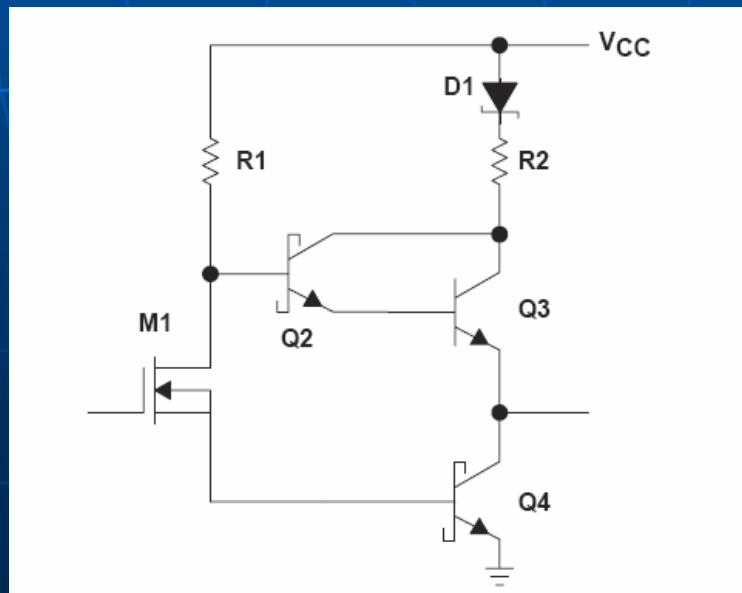
PARAMETER	CONDITIONS	MIN	TYP	MAX	UNITS
Output High Voltage	$T_A = 0^{\circ}\text{C to } +85^{\circ}\text{C}$	$V_{CC} - 1.025$		$V_{CC} - 0.88$	V
	$T_A = -40^{\circ}\text{C}$	$V_{CC} - 1.085$		$V_{CC} - 0.88$	V
Output Low Voltage	$T_A = 0^{\circ}\text{C to } +85^{\circ}\text{C}$	$V_{CC} - 1.81$		$V_{CC} - 1.62$	V
	$T_A = -40^{\circ}\text{C}$	$V_{CC} - 1.83$		$V_{CC} - 1.55$	V
Input High Voltage		$V_{CC} - 1.16$		$V_{CC} - 0.88$	V
Input Low Voltage		$V_{CC} - 1.81$		$V_{CC} - 1.48$	V

Tecnología BiCMOS (Bipolar - CMOS)

Familia ABT



Entrada CMOS para bajo consumo. D₁ y Q₁ sirven para disminuir la tensión de conmutación entre estados. El circuito tiene una realimentación para generar histéresis y así aumentar el margen de ruido.

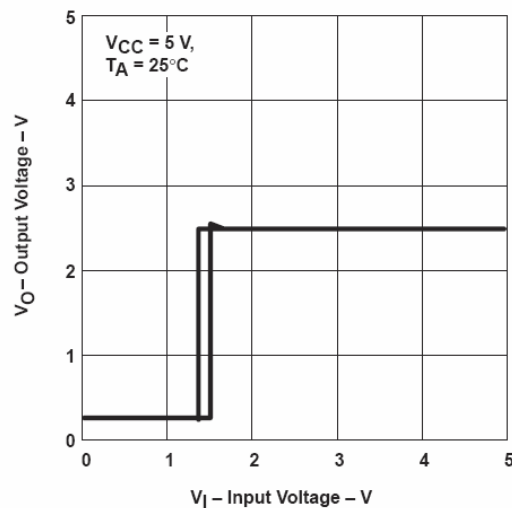


Salida bipolar para disminuir el swing de tensión entre V_{OH} y V_{OL} . Mayor capacidad de corriente de carga.

Tecnología BiCMOS

Familia ABT

Función de transferencia



Tiempos de retardo promedio del orden de algunos [ns]

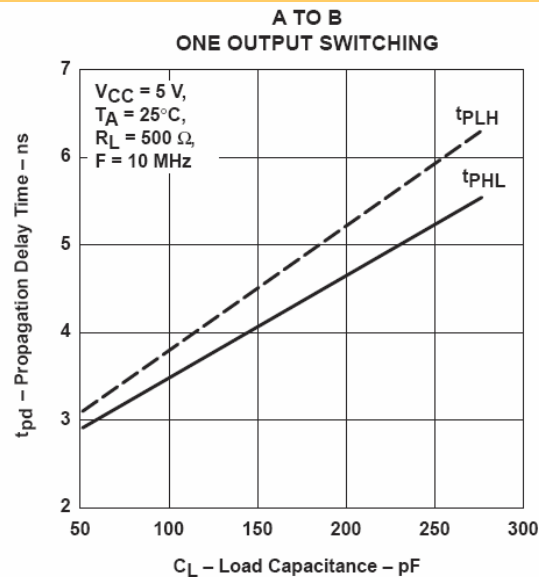


Gráfico de comparación entre Familias lógicas I_{CC} vs. Frec.

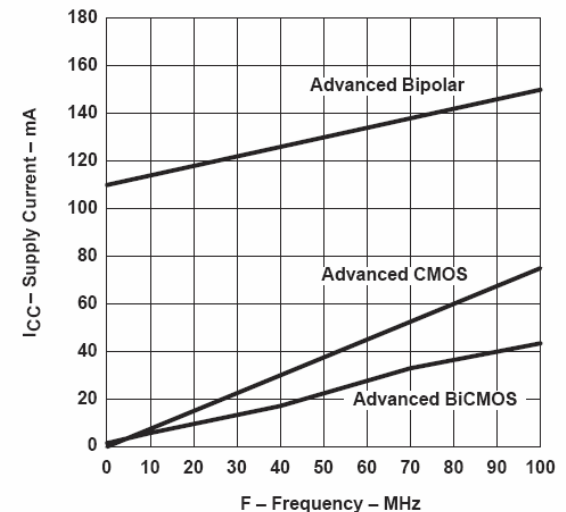
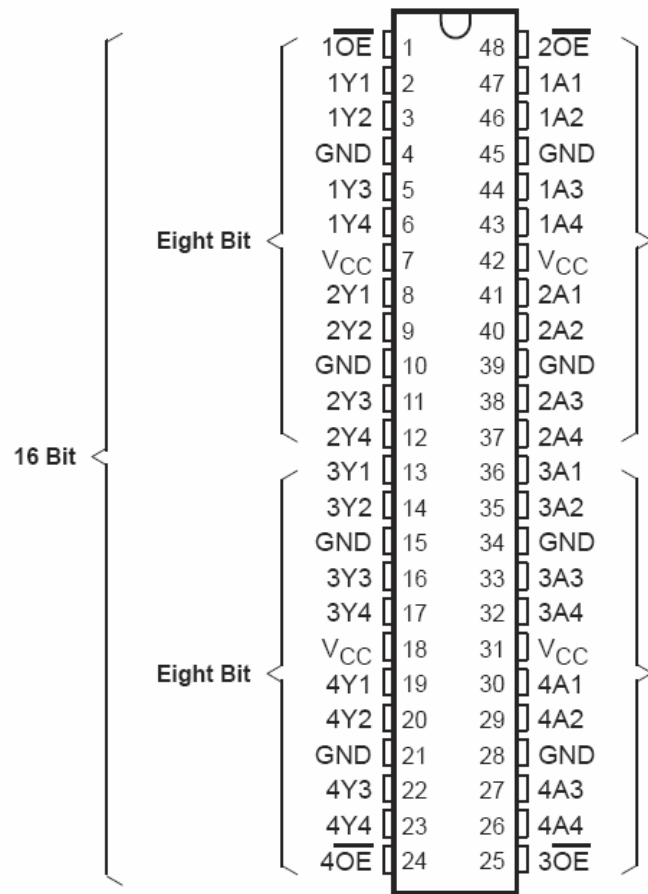


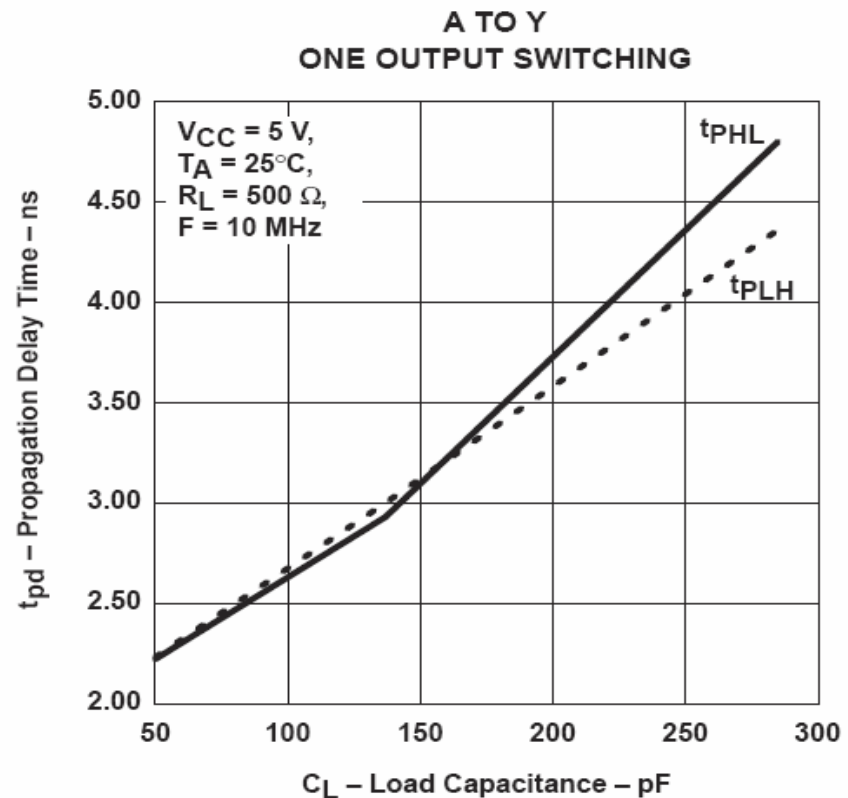
Figure 4. Supply Current vs Frequency

Tecnología BiCMOS

Ejemplo 74ABT16244A: buffer x 16, no inversor con tri-state



Retardos en función de la capacidad de carga



Comparaciones entre familias LS-TTL y CMOS de alta velocidad

FACT = 24/-24 mA
ALS = 24/-15 mA
LS = 8/-0.4 mA @ 4.75 V V_{CC}
HC = 4/-4 mA

Corriente máxima de salida

FACT = 2 to 6 V
ALS = 5 V $\pm$ 10%
LS = 5 V $\pm$ 5%
HC = 2 to 6 V

Rango de tensiones de alimentación

FACT = 1.25/1.25 V
ALS = 0.4/0.7 V
LS = 0.3/0.7 V @ 4.75 V V_{CC}
HC = 0.8/1.25 V

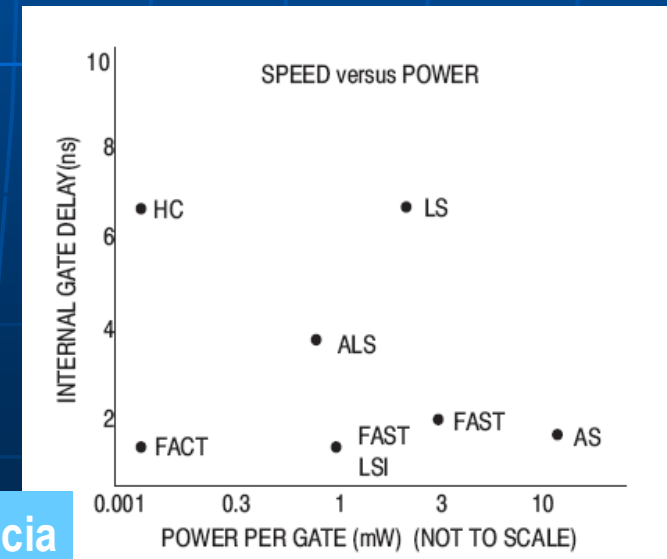
Márgenes de ruido

FACT = 0.1 mW/Gate
ALS = 1.2 mW/Gate
LS = 2.0 mW/Gate
HC = 0.1 mW/Gate

Consumo interno por compuerta

NOTA: FACT corresponde a una línea comercial de CMOS como la ACT.

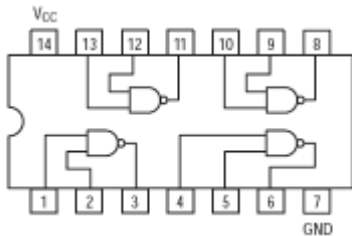
Curva general de velocidad vs potencia



SN74LS00

Quad 2-Input NAND Gate

• ESD > 3500 Volts



MC74HC00A

Quad 2-Input NAND Gate High-Performance Silicon-Gate CMOS

MC74AC00, MC74ACT00

Quad 2-Input NAND Gate High-Performance Silicon-Gate CMOS

AC CHARACTERISTICS ($T_A = 25^\circ\text{C}$)

Symbol	Parameter	Limits			Unit	Test Conditions
		Min	Typ	Max		
t_{PLH}	Turn-Off Delay, Input to Output		9.0	15	ns	$V_{CC} = 5.0\text{ V}$ $C_L = 15\text{ pF}$
t_{PHL}	Turn-On Delay, Input to Output		10	15	ns	

AC CHARACTERISTICS ($C_L = 50\text{ pF}$, Input $t_r = t_f = 6\text{ ns}$)

Symbol	Parameter	V_{CC} V	Guaranteed Limit			Unit
			-55 to 25°C	$\leq 85^\circ\text{C}$	$\leq 125^\circ\text{C}$	
t_{PLH} , t_{PHL}	Maximum Propagation Delay, Input A or B to Output Y (Figures 1 and 2)	2.0	75	95	110	ns
		3.0	30	40	55	
		4.5	15	19	22	
		6.0	13	16	19	
t_{TLH} , t_{THL}	Maximum Output Transition Time, Any Output (Figures 1 and 2)	2.0	75	95	110	ns
		3.0	27	32	36	
		4.5	15	19	22	
		6.0	13	16	19	
C_{in}	Maximum Input Capacitance		10	10	10	pF

NOTE: For propagation delays with loads other than 50 pF, and information on typical parametric values, see Chapter 2 of the ON Semiconductor High-Speed CMOS Data Book (DL129/D).

C _{PD}	Power Dissipation Capacitance (Per Buffer)*	Typical @ 25°C, V _{CC} = 5.0 V, V _{EE} = 0 V	pF
		22	

* Used to determine the no-load dynamic power consumption: $P_D = C_{PD} V_{CC}^2 f + I_{CC} V_{CC}$. For load considerations, see Chapter 2 of the ON Semiconductor High-Speed CMOS Data Book (DL129/D).

AC CHARACTERISTICS ($t_r = t_f = 3.0\text{ ns}$; $C_L = 50\text{ pF}$; see Figures 3 and 4 for Waveforms)

Symbol	Parameter	V _{CC} [*] (V)	MC74AC00								Unit
			T _A = +25°C			T _A = −40°C to +85°C		T _A = −55°C to + 125°C			
			Min	Typ	Max	Min	Max	Min	Max		
t _{PLH}	Propagation Delay	3.3	2.0	7.0	9.5	2.0	10.0	1.0	11.0	ns	
		5.0	1.5	6.0	8.0	1.5	8.5	1.0	8.5		
t _{PHL}	Propagation Delay	3.3	1.5	5.5	8.0	1.0	8.5	1.0	9.0	ns	
		5.0	1.5	4.5	6.5	1.0	7.0	1.0	7.0		

*Voltage Range 3.3 V is $3.3\text{ V} \pm 0.3\text{ V}$.
Voltage Range 5.0 V is $5.0\text{ V} \pm 0.5\text{ V}$.

Familias Lógicas

SN74LS74A

Dual D-Type Positive Edge-Triggered Flip-Flop

MC74HC74A

Dual D Flip-Flop with Set and Reset

High-Performance Silicon-Gate CMOS

MC74AC74, MC74ACT74

Dual D-Type Positive Edge-Triggered Flip-Flop

AC CHARACTERISTICS (T_A = 25°C, V_{CC} = 5.0 V)

Symbol	Parameter	Limits			Unit	Test Conditions	
		Min	Typ	Max			
f _{MAX}	Maximum Clock Frequency	25	33		MHz	Figure 1	V _{CC} = 5.0 V C _L = 15 pF
t _{PLH}	Clock, Clear, Set to Output		15	25	ns	Figure 1	
t _{PHL}			25	40	ns		

AC SETUP REQUIREMENTS (T_A = 25°C)

Symbol	Parameter	Limits			Unit	Test Conditions	
		Min	Typ	Max			
t _{W(H)}	Clock	25			ns	Figure 1	V _{CC} = 5.0 V
t _{W(L)}	Clear, Set	25			ns	Figure 2	
t _s	Data Setup Time — HIGH LOW	20			ns	Figure 1	
		20			ns		
t _h	Hold Time	5.0			ns	Figure 1	

AC ELECTRICAL CHARACTERISTICS (C_L = 50 pF, Input t_r = t_f = 6.0 ns)

Symbol	Parameter	V _{CC} V	Guaranteed Limit			Unit
			– 55 to 25°C	≤ 85°C	≤ 125°C	
f _{max}	Maximum Clock Frequency (50% Duty Cycle) (Figures 1 and 4)	2.0	6.0	4.8	4.0	MHz
		3.0	15	10	8.0	
		4.5	30	24	20	
		6.0	35	28	24	
t _{PLH} , t _{PHL}	Maximum Propagation Delay, Clock to Q or $\bar{Q}$ (Figures 1 and 4)	2.0	100	125	150	ns
		3.0	75	90	120	
		4.5	20	25	30	
		6.0	17	21	26	

AC CHARACTERISTICS (For Figures and Waveforms – See Section 3 of the ON Semiconductor FACT Data Book, DL138/D)

Symbol	Parameter	V _{CC} * (V)	74ACT			74ACT		Unit	Fig. No.
			T _A = +25°C C _L = 50 pF			T _A = –40°C to +85°C C _L = 50 pF			
			Min	Typ	Max	Min	Max		
f _{max}	Maximum Clock Frequency	5.0	145	210	–	125	–	MHz	3–3
t _{PLH}	Propagation Delay C _{DN} or S _{DN} to Q _N or Q _N	5.0	3.0	5.5	9.5	2.5	10.5	ns	3–6
t _{PHL}	Propagation Delay C _{DN} or S _{DN} to Q _N or Q _N	5.0	3.0	6.0	10.0	3.0	11.5	ns	3–6
t _{PLH}	Propagation Delay C _{PN} to Q _N or Q _N	5.0	4.0	7.5	11.0	4.0	13.0	ns	3–6
t _{PHL}	Propagation Delay C _{PN} to Q _N or Q _N	5.0	3.5	6.0	10.0	3.0	11.5	ns	3–6

*Voltage Range 5.0 V is 5.0 V ±0.5 V.

Familias Lógicas

SN54/74LS160A
SN54/74LS161A
SN54/74LS162A
SN54/74LS163A

**BCD DECADE COUNTERS/
4-BIT BINARY COUNTERS**

LOW POWER SCHOTTKY

**MC74HC161A,
MC74HC163A**

Presetable Counters
High-Performance Silicon-Gate CMOS

**MC74AC161, MC74ACT161,
MC74AC163, MC74ACT163**

**Synchronous Presetable
Binary Counter**

AC CHARACTERISTICS ($T_A = 25^\circ\text{C}$)

Symbol	Parameter	Limits			Unit	Test Conditions $V_{CC} = 5.0\text{ V}$ $C_L = 15\text{ pF}$
		Min	Typ	Max		
f_{MAX}	Maximum Clock Frequency	25	32		MHz	
t_{PLH}	Propagation Delay Clock to TC		20	35	ns	
t_{PHL}	Propagation Delay Clock to Q		18	35	ns	
t_{PLH}	Propagation Delay Clock to Q		13	24	ns	
t_{PHL}	Propagation Delay Clock to Q		18	27	ns	
t_{PLH}	Propagation Delay CET to TC		9.0	14	ns	
t_{PHL}	Propagation Delay CET to TC		9.0	14	ns	
t_{PHL}	MR or SR to Q		20	28	ns	

Symbol	Parameter	Fig.	V_{CC} V	- 55 to 25°C	$\leq 85^\circ\text{C}$	$\leq 125^\circ\text{C}$	Unit
f_{max}	Maximum Clock Frequency (50% Duty Cycle)*	1, 7	2.0 3.0 4.5 6.0	6 15 30 35	5 12 24 28	4 10 20 24	MHz
t_{PLH}	Maximum Propagation Delay, Clock to Q	1, 7	2.0 3.0 4.5 6.0	120 75 20 16	160 120 23 20	200 150 28 22	ns
t_{PHL}		1, 7	2.0	145	185	220	ns

AC CHARACTERISTICS (For Figures and Waveforms – See Section 3 of the ON Semiconductor FACT Data Book, DL138/D)

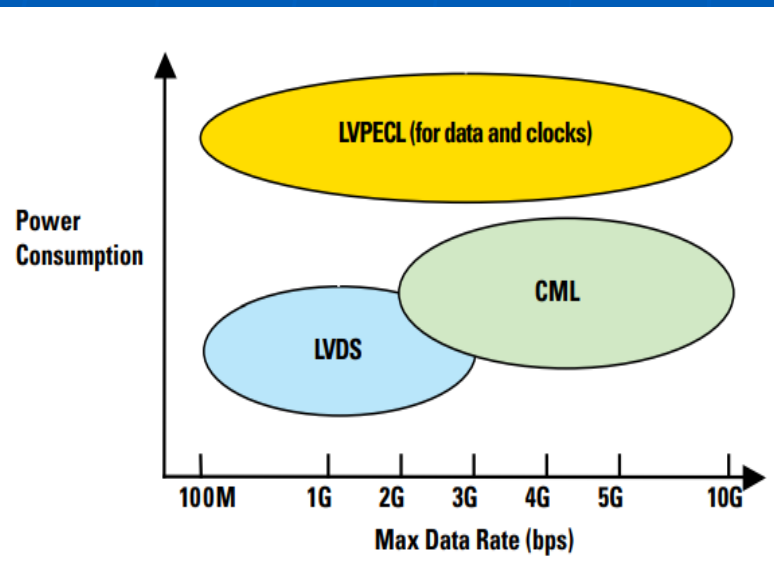
Symbol	Parameter	V _{CC} [*] (V)	74AC163			74AC163		Unit	Fig. No.
			T _A = +25°C C _L = 50 pF			T _A = −40°C to +85°C C _L = 50 pF			
			Min	Typ	Max	Min	Max		
f _{max}	Maximum Count Frequency	3.3 5.0	70 110	95 140	— —	60 95	— —	MHz	3–3
t _{PLH}	Propagation Delay CP to Q _n (PE Input HIGH or LOW)	3.3 5.0	2.0 1.5	7.5 5.5	12.5 9.0	1.5 1.0	13.5 9.5	ns	3–6
t _{PHL}	Propagation Delay CP to Q _n (PE Input HIGH or LOW)	3.3 5.0	1.5 1.5	8.5 6.0	12.0 9.5	1.5 1.5	13.0 10.0	ns	3–6
t _{PLH}	Propagation Delay CP to TC	3.3 5.0	3.0 2.0	9.5 7.0	15.0 10.5	2.5 1.5	16.5 11.5	ns	3–6
t _{PHL}	Propagation Delay CP to TC	3.3 5.0	3.5 2.0	11.0 8.0	14.0 11.0	2.5 2.0	15.5 11.5	ns	3–6
t _{PLH}	Propagation Delay CET to TC	3.3 5.0	2.0 1.5	7.5 5.5	9.5 6.5	1.5 1.0	11.0 7.5	ns	3–6
t _{PHL}	Propagation Delay CET to TC	3.3 5.0	2.5 2.0	8.5 6.0	11.0 8.5	2.0 1.5	12.5 9.5	ns	3–6

*Voltage Range 3.3 V is 3.3 V ± 0.3 V.

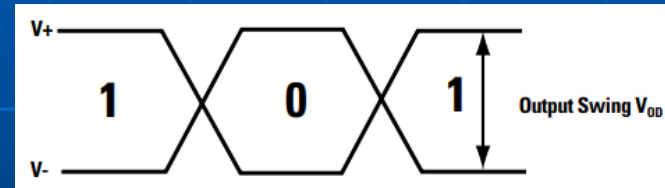
*Voltage Range 5.0 V is 5.0 V ± 0.5 V.

Tecnologías para manejo de señalización a alta velocidad

	Industry Standard	Maximum Data Rate	Output Swing (V_{OD})	Power Consumption
LVDS	TIA/EIA-644	3.125 Gbps	± 350 mV	Low
LVPECL	N/A	10+ Gbps	± 800 mV	Medium to High
CML	N/A	10+ Gbps	± 800 mV	Medium
M-LVDS	TIA/EIA-899	250 Mbps	± 550 mV	Low
B-LVDS	N/A	800 Mbps	± 550 mV	Low



Tecnologías usadas para el transporte de señales en formato serie de datos y reloj de manera diferencial (entre dos "vivos"). Esto mejora la inmunidad al ruido y problemas de switching.

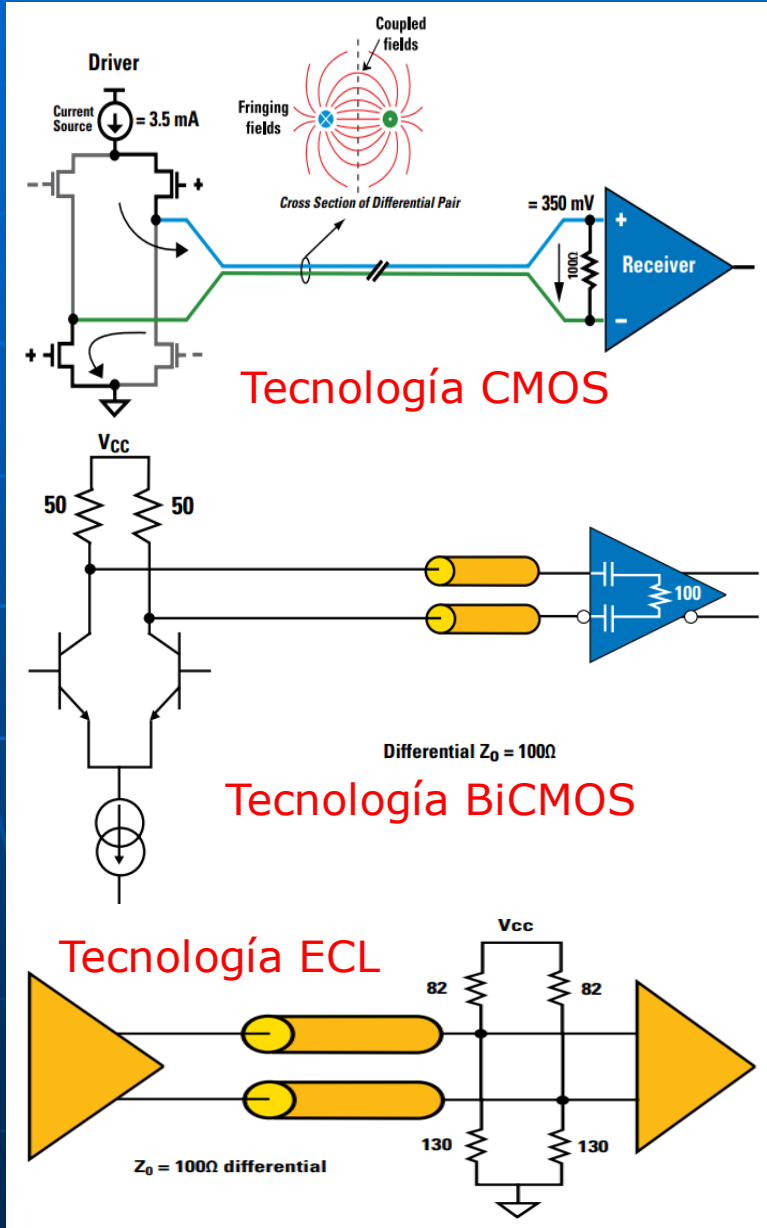


LVDS es una interface estandarizada. De bajo consumo pero baja velocidad comparada con CML y LVPECL.

PECL puede transportar señales a mas de 10Gbps pero su consumo es elevado.

CML es equiparable a LVPECL en velocidad pero con menor consumo.

Tecnologías para manejo de señalización a alta velocidad



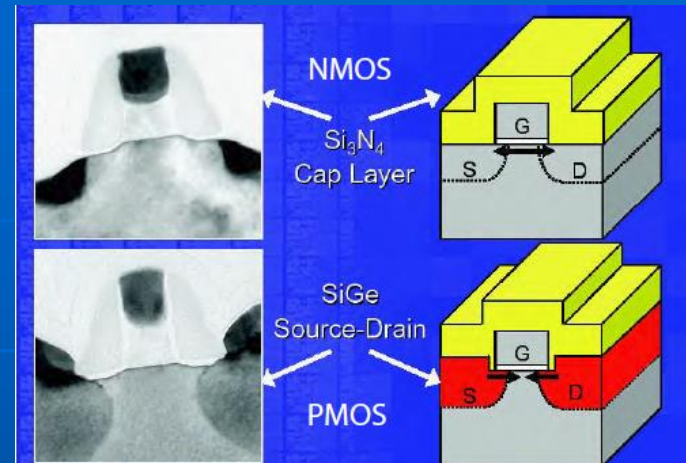
LVDS: Convertido en standard. Maneja el link de manera diferencial a través de un par de cables, ruteando el generador de corriente que siempre está encendido lo cual reduce emisiones de EMI y elimina los spikes por conmutación. Requiere de una resistencia de terminación de 100Ω . Se usa en comunicaciones punto a punto y multipunto. Supera los 3 Gbps de velocidad.

CML: De manera similar al anterior emplea un par diferencial. El link está acoplado en alterna. Los componentes de terminación de línea están incorporados al driver y receptor. Requiere mas energía pero puede superar los 10 Gbps de velocidad. Se usa en comunicaciones punto a punto. No está estandarizado al igual que LVPECL.

PECL: Es la tecnología de más consume. Características similares en cuanto a velocidad y margen de ruido que con CML.

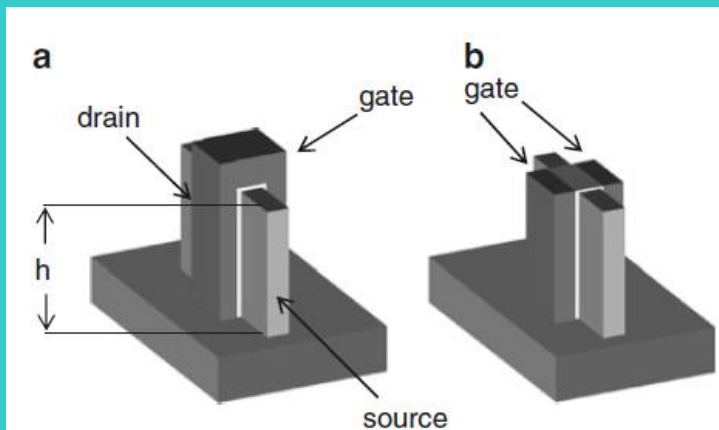
Avances en CMOS

A principios de la década del 2000, la necesidad de conseguir mayor velocidad de conmutación en CMOS, se solucionó empleando la técnica **strained silicon** la cual genera la compresión de átomos de Si en la red cristalina, mejorando la movilidad de los portadores. Intel emplea Si-Ge + Si en transistores PMOS y Si_3N_4 + Si en los del tipo NMOS.

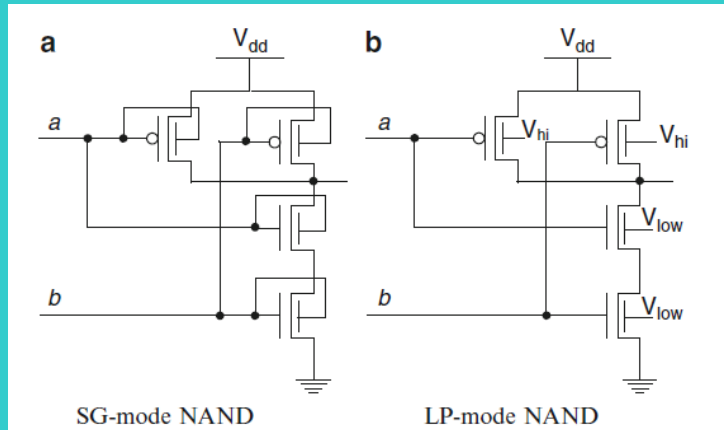


Otra mejora posterior fue la de construir transistores en 3D (como los FINFET) y multiGATE donde se logró mejorar el rendimiento bajando los tiempos de conmutación y el consumo.

FINFET Short Gate/Isolate Gate

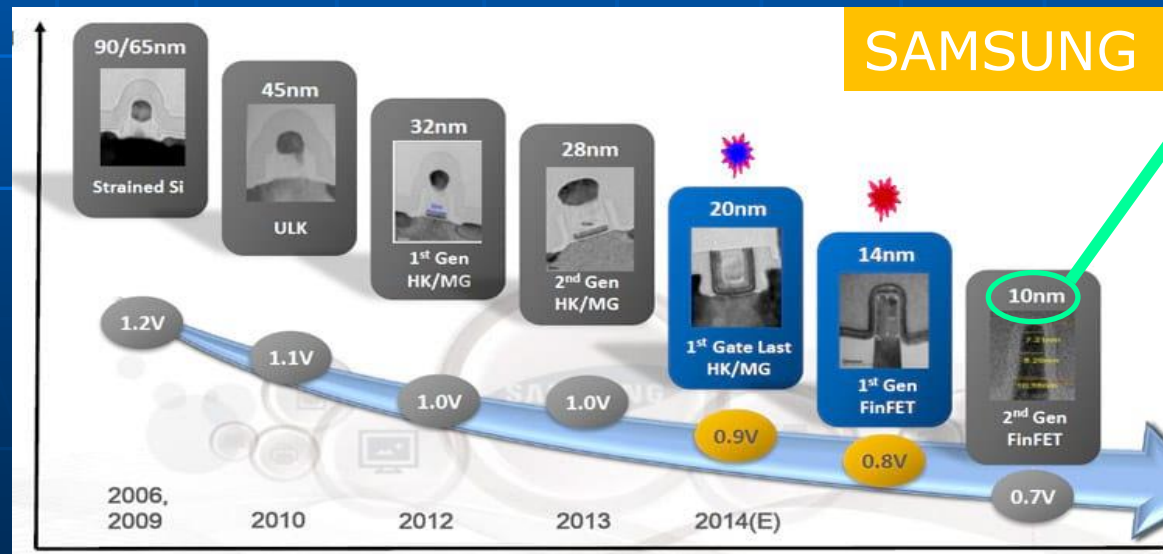
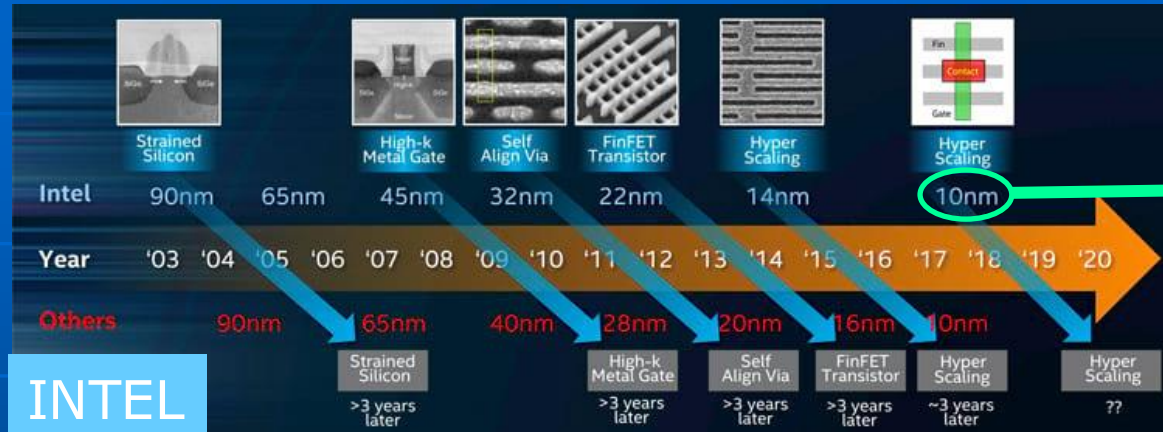


Ejemplo de compuerta NAND



Avances en CMOS

Evolución reciente de transistores MOS en INTEL y SAMSUNG



Familias Lógicas

Bibliografía:

Apuntes de teoría:

- "Familias Lógicas". S. Noriega.

Libros:

- "Sistemas Digitales". R. Tocci, N. Widmer, G. Moss. Ed. Prentice Hall.
- "Diseño Digital". M. Morris Mano. Ed. Prentice Hall. 3ra edición.
- "Diseño de Sistemas Digitales". John Vyemura. Ed. Thomson.
- "Diseño Lógico". Antonio Ruiz, Alberto Espinosa. Ed. McGraw-Hill.
- "Digital Design: Principles & Practices". John Wakerly. Ed. Prentice Hall.
- "Diseño Digital". Alan Marcovitz. Ed. McGraw-Hill.
- "Electrónica Digital". James Bignell, R. Donovan. Ed. CECOSA.
- "Técnicas Digitales con Circuitos Integrados". M. Ginzburg.
- "Fundamentos de Diseño Lógico y Computadoras". M. Mano, C. Kime. Ed. Prentice Hall.
- "Teoría de conmutación y Diseño lógico". F. Hill, G. Peterson. Ed. Limusa.
- "FinFETs and Other Multi-Gate Transistors". Jean-Pierre Colinge . Springer 2008.
- "Capítulo: FinFET Circuit Design. Nanoelectronic System Design". Prateek Mishra .Springer 2011.
- "Circuitos Microelectrónicos". Sedra, Smith. 5ta Edición. McGraw-Hill. 2006.
- Websites: IBM, INTEL, AMD.

Familias Lógicas

Bibliografía (continuación):

Notas de aplicación y manuales:

- Nota de aplicación "AN-104" de Micrel (www.micrel.com).
- Hojas de datos del HFBR-5903A: "5988-8033EN" (www.agilent.com).
- Nota de aplicación "scba008b" de Texas Instruments (www.ti.com).
- Nota de aplicación "AN-138" de Altera (www.altera.com).
- Nota de aplicación "ssapexlvds" de línea APEX (Altera).
- Nota de aplicación "LVDS Owner manual de National" (www.national.com).
- Hojas de datos del DS90LV031A de National.
- Hojas de datos del DS90LV032A de National.
- Reportes tecnológicos de IBM (www.ibm.com).
- Notas de aplicación y hojas de datos sobre ECL (www.onsemi.com).
- Nota de aplicación "AN1058" de Maxim (www.maxim-ic.com).
- Nota de aplicación "Comparison of CML and LVDS for High-speed serial links" de Cypress (www.cypress.com).
- Nota de aplicación "Virtex-E LVPECL receivers in multi-drop applications" de Xilinx (www.xilinx.com).
- Hojas de datos de FPGA serie Virtex-E de Xilinx.
- Hojas de datos de FPGA serie Stratix de Altera.
- Introducing Innovations at 28 nm to Move Beyond Moore's Law. White paper WP-01125-1.2. Intel 2012.
- Información sobre LVDS,CML,PECL:<http://www.ti.com/lit/ug/snla187/snla187.pdf>